

(12)特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2004 年 6 月 10 日 (10.06.2004)

PCT

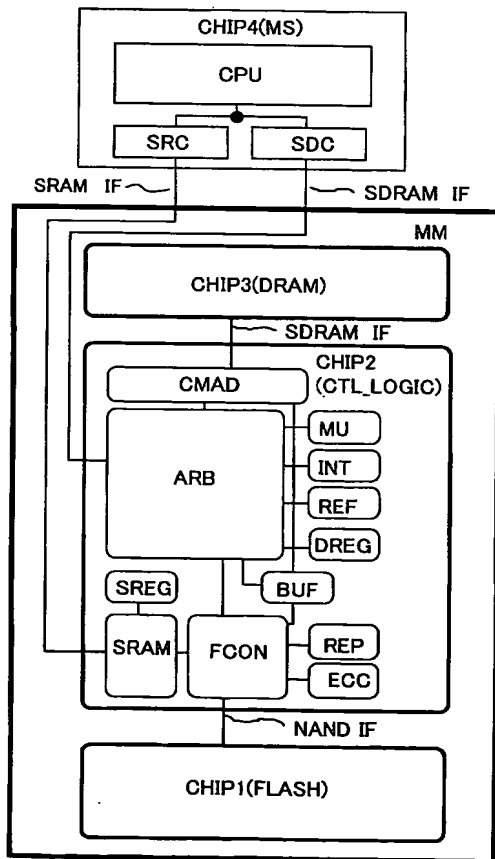
(10) 国際公開番号
WO 2004/049168 A1

- (51) 国際特許分類⁷: G06F 12/06, G11C 11/34, 11/401, 16/00, H01L 27/10
(21) 国際出願番号: PCT/JP2003/015165
(22) 国際出願日: 2003 年 11 月 27 日 (27.11.2003)
(25) 国際出願の言語: 日本語
(26) 国際公開の言語: 日本語
(30) 優先権データ: 特願 2002-344815
2002 年 11 月 28 日 (28.11.2002) JP
(71) 出願人 (米国を除く全ての指定国について): 株式会社ルネサステクノロジ (RENESAS TECHNOLOGY CORP.) [JP/JP]; 〒100-6334 東京都千代田区丸の内二丁目 4 番 1 号 Tokyo (JP).
(72) 発明者; および
(75) 発明者/出願人 (米国についてのみ): 三浦 誓士 (MIURA, Seiji) [JP/JP]; 〒185-8601 東京都国分寺市東恋ヶ窪一丁目 280 番地 株式会社日立製作所中央研究所内 Tokyo (JP). 鮎川 一重 (AYUKAWA, Kazushige) [JP/JP]; 〒185-8601 東京都国分寺市東恋ヶ窪一丁目 280 番地 株式会社日立製作所中央研究所内 Tokyo (JP).
(74) 代理人: 小川 勝男 (OGAWA, Katsuo); 〒104-0033 東京都中央区新川一丁目 3 番 3 号 第 17 荒井ビル 8 階 日東国際特許事務所 Tokyo (JP).

[続葉有]

(54) Title: MEMORY MODULE, MEMORY SYSTEM, AND INFORMATION DEVICE

(54) 発明の名称: メモリモジュール、メモリスistem、及び情報機器



(57) Abstract: There is provided a memory system including a large-capacity ROM and RAM capable of high-speed read out and write in. The memory system includes a non-volatile memory (CHIP1), DRAM (CHIP3), a control circuit (CHIP2), and an information processing device (CHIP4). FLASH data is transferred in advance to the SRAM and DRAM, thereby increasing the speed. Data transfer between the non-volatile memory (FLASH) and DRAM (CHIP3) can be performed by the back ground. The memory system consisting of these chips is composed as a memory system module in which each chip is layered on one another and wired by bonding in the ball grid array (BGA) and between the chips. A region capable of copying flash data is reserved in the DRAM and the data is transferred to the DRAM in advance immediately after power is turned ON or by the load instruction, so that the flash data can be read out at a speed of about the DRAM. Thus, it is possible to improve the performance and function of mobile devices.

(57) 要約: 高速読み出し、書き込みが可能な大記憶容量のROMとRAMを含むメモリスistemを提供する。不揮発性メモリ(CHIP1)、DRAM(CHIP3)、制御回路(CHIP2)、情報処理装置(CHIP4)を含むメモリスistemを構成する。予めFLASHのデータをSRAMおよびDRAMへ転送させて高速化を図る。不揮発性メモリ(FLASH)とDRAM(CHIP3)間のデータ転送は、バックグラウンドで行えるようにする。これら複数のチップからなるメモリスistemを、各チップが相互に積層して配置され、ボールグリッドアレイ(BGA)やチップ間のボンディングによって配線されたメモリスistem・モジュールとして構成する。Flashのデータをコピーできる領域をDRAMに確保し、電源投入直後あるいはロード命令により、予めDRAMへデータを転送してお

くことで、DRAMと同程度の速度でFLASHのデータを読み出すことができるため、携帯機器の高性能化、高機能化が図れる。

WO 2004/049168 A1



(81) 指定国 (国内): CN, JP, KR, US.

(84) 指定国 (広域): ヨーロッパ特許 (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PT, RO, SE, SI, SK, TR).

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

添付公開書類:

- 国際調査報告書
- 請求の範囲の補正の期限前の公開であり、補正書受領の際には再公開される。

明 細 書

メモリモジュール、メモリシステム、及び情報機器

技術分野

5 本発明は、ダイナミックランダムアクセスメモリ (DRAM) を含むメモリシステムおよびメモリシステムの制御方法に関する。

背景技術

従来、フラッシュメモリ (32M bit容量) とスタティックランダムアクセスメモリ (SRAM(4M bit容量))とがスタックチップでF B G A (Fine pitch Ball Grid Array) 型パッケージに一体封止された複合型半導体メモリがある。フラッシュメモリとSRAMとは、F B G A型パッケージの入出力電極に対してアドレス入力端子とデータ入出力端子が共通化されている。但し各々の制御端子はそれぞれ独立とされている (例えば、“複合メモリ (スタックドCSP) フラッシュメモリ+RAMデータシート”、形名LRS1380、[online]、平成13年12月10日、シャープ株式会社、[平成14年8月21日検索]、インターネット< 10 URL:http://www.sharp.co.jp/products/device/flash/cmlist.html>参照。) 。

15

また、フラッシュメモリチップとDRAMチップとがリードフレーム型パッケージに一体封止された複合型半導体メモリもある。この複合型半導体メモリはフラッシュメモリとDRAMとはパッケージの入出力電極に対してアドレス入力端子、データ入出力端子、及び制御端子が共通化されて入出力される (例えば、特開平05-299616号公報の図1及び図17、欧州特許出願公開第0566306号 20 明細書参照。) 。

また、主記憶装置として扱われるフラッシュメモリとキャッシュメモリとコントローラとCPUから構成されるシステムもある (例えば、特開平07-146820号公報の図1参照。) 。

25 また、フラッシュメモリとDRAMと転送制御回路からなる半導体メモリもあ

る（例えば、特開 2001-5723 号公報の図 2 参照。）。

発明の開示

本願発明者等は、本願に先立って携帯電話及びそれに使用されるフラッシュメモリとSRAMとが1パッケージに実装されたメモリモジュールとその動作について
5 検討を行った。

図 3.2 に示すように現在、携帯電話には情報処理装置PRCとメモリモジュールMCMが使用されている。

情報処理装置PRCは中央演算装置CPUとSRAMコントローラから構成される。メモリモジュールMCMはNOR型フラッシュメモリNOR FLASHとSRAMから構成される。情報処理装置PRCはSRAMインターフェース（SRAM IF）でメモリモジュールMCMにアクセスを行い、データの読み出しおよび書き込みを行う。
10

電源投入後、情報処理装置PRCは、NOR型フラッシュメモリNOR FLASHに格納されているブートデータを読み出し、自らを立ち上げる。その後、情報処理装置PRCはNOR型フラッシュメモリNOR FLASHより必要に応じてアプリケーションプログラムを読みだし、中央演算装置CPUで実行する。SRAMはワークメモリとして機能し、中央演算装置CPUでの演算結果などが保存される。
15

近年、携帯電話が取り扱うアプリケーション、データ、ワークエリアは携帯電話に付加される機能（音楽やゲーム等配信等）が増えるにつれて大きくなり、より大きな記憶容量のフラッシュメモリやSRAMが必要と予想される。さらに最近の携帯電話は高機能化が目覚しく、高速かつ大容量メモリのニーズが高まっている。
20

現在、携帯電話に用いられているNOR型フラッシュメモリは、NOR構成と呼ばれるメモリアレイ方式を用いたNOR型フラッシュメモリである。NOR型は、メモリセルアレイの寄生抵抗を小さく抑えたアレイ構成であり、並列接続したメモリセル2個につき1個の割合でメタルビット線コンタクトを設けることで低抵抗化を図っている。このため、読み出し時間は約80nsとSRAMの読み出し時間とほぼ同等にすることができる。しかし、その反面、セル2個につき1個のコンタクトを設ける必要があるため、コンタクト部のチップ面積に占める割合が高く、1ビット
25

トのメモリセル当たりの面積が大きくなり、大容量化には対応仕切れないという課題がある。

また、代表的な大容量フラッシュメモリには、メモリアレイにAND構成を用いているAND型フラッシュメモリとNAND構成を用いているNAND型フラッシュメモリ
5 がある。これらのフラッシュメモリは、16～128個のセルに対し1個のビット線コンタクトを設けるため、高密度のメモリアレイを実現できる。したがって、1ビットのメモリセル当たりの面積をNOR型フラッシュメモリより小さくでき、大容量化に対応できる。しかし、その反面、最初のデータを出力するまでの読み出し時間が、約25 μ s から50 μ s と遅く、SRAMとの整合性が取れないことが
10 判明した。

そこで本発明の目的の一つは、記憶容量が大きくかつ高速読み出し、書き込みが可能なROMとRAMを含むメモリシステムを提供することである。

本発明の代表的な手段を示せば以下の通りである。情報処理装置と、フラッシュメモリと、SRAMと、複数のメモリバンクから構成されたDRAMを一つの封止体に
15 実装し、封止体に半導体チップとの配線を行うための電極と、封止体と封止体外部との接続を行うための電極を設ける。

この際に、情報処理装置からのフラッシュメモリ内のデータの読み出し要求に対する読み出し時間を高速化するため、SRAMとDRAMおよびフラッシュメモリにメモリコントローラを接続し、メモリコントローラによりフラッシュメモリから
20 SRAMへあるいはSRAMからフラッシュメモリへデータ転送を行い、また、フラッシュメモリからDRAMへ、あるいはDRAMからフラッシュメモリへのデータ転送を行う。電源投入後及び転送命令が生じた際にはSRAMおよびDRAMへフラッシュメモリのデータの少なくとも一部をメモリコントローラにより転送する制御を行うとよい。

また、前記メモリコントローラでフラッシュメモリとDRAM間のデータ転送を行
25 っている間でも、前記情報処理装置よりDRAMへ読み出し及び書きこみのアクセスを受付け、高速にデータの読み出し及び書きこみが行われるように制御しても良い。前記半導体装置内部でフラッシュメモリとDRAM間のデータ転送はバックグラウンドで行えるようにすると良い。

さらに、前記メモリコントローラは、電源投入後のフラッシュメモリからDRAMへのデータ転送の際にDRAMのリフレッシュ制御もおこなう。フラッシュメモリからDRAMへのデータ転送の際には、DRAMに対してオート・リフレッシュを行い、データ転送が終了したら、セルフリフレッシュ状態にし、その後、半導体装置外からのセルフリフレッシュ解除命令でセルフリフレッシュ状態を解除するように制御すると良い。また前記情報処理装置からのオート・リフレッシュによって、前記メモリコントローラによるオート・リフレッシュを中止するように制御しても良い。

図面の簡単な説明

- 10 図1は本発明を適用したメモリシステムの構成図、
図2は本発明を適用したメモリシステムのアドレスマップの一例を示す説明図、
図3は本発明を適用したメモリシステムの電源投入時の動作の一例を示す図、
図4は本発明を適用したメモリシステムの電源投入時のDRAMの初期設定の一例を示す図、
- 15 図5は本発明を適用したメモリモジュールの電源投入時のDRAMの初期設定の一例を示す図、
図6は本発明を適用したメモリシステムの電源投入時のFLASHからSRAMへのデータ転送動作の流れを示す図、
図7は本発明を適用したメモリシステムの電源投入時のFLASHからDRAMへのデータ転送動作の流れを示す図、
- 20 図8は本発明のメモリシステムのFLASHからDRAMへのデータ転送動作の流れを示すフローチャート、
図9は本発明のメモリシステムのDRAMからFLASHへのデータ転送動作の流れを示すフローチャート、
- 25 図10は本発明のメモリシステムのFLASHからSRAMへのデータ転送動作の流れを示すフローチャート、
図11は本発明のメモリシステムのSRAMからFLASHへのデータ転送動作の流れ

れを示すフローチャート、

図 1 2 は図 1 で示される FLASH の一構成例を示すブロック図、

図 1 3 は図 1 で示される FLASH からのデータ読み出しの一例を示すタイミングチャート、

5 図 1 4 は本発明を適用したメモリシステムの構成図、

図 1 5 は図 1 4 で示される FLASH の一構成例を示すブロック図、

図 1 6 は図 1 4 で示される FLASH からのデータ読み出しの一例を示すタイミングチャート、

図 1 7 は本発明を適用したメモリシステムの構成図、

10 図 1 8 は本発明を適用したメモリシステムの構成図、

図 1 9 は図 1 8 で示される FLASH の一構成例を示すブロック図、

図 2 0 は図 1 8 で示される FLASH からのデータ読み出しの一例を示すタイミングチャート図、

図 2 1 は本発明を適用したメモリシステムの構成図、

15 図 2 2 は本発明を適用したメモリシステムの構成図、

図 2 3 は本発明を適用したメモリシステムのアドレスマップの一例を示す説明図、

図 2 4 は本発明を適用したメモリシステムの構成図、

図 2 5 は本発明によるメモリシステムの実装形態の一例を示す図、

20 図 2 6 は本発明によるメモリシステムの実装形態の一例を示す図、

図 2 7 は本発明によるメモリシステムの実装形態の一例を示す図、

図 2 8 は本発明によるメモリシステムの実装形態の変形例を示す図、

図 2 9 は本発明によるメモリシステムの実装形態の一例を示す図、

25 図 3 0 は本発明によるメモリシステムを利用した携帯電話の構成例を示すブロック図、

図 3 1 は本発明によるメモリシステムを利用した携帯電話の構成例を示すブロック図、

図 3 2 は携帯電話に利用されている従来のメモリ構成例を示すブロック図であ

る。

発明を実施するための最良の形態

以下、本発明の実施の形態例につき添付図面を参照しながら詳細に説明する。
実施の形態例において各ブロックを構成する回路素子は、特に制限されないが、

- 5 公知のCMOS（相補型MOSトランジスタ）等の集積回路技術によって、単結晶シリコンのような1個の半導体基板上に形成される。

<実施の形態例1>

- 図1は本発明を適用した第1の実施の形態例である情報処理装置CHIP4（MS）とメモリモジュールMMとから構成されるメモリシステムを示したものである。以下
10 下におおのについて説明する。

メモリモジュールMMはCHIP1（FLASH）とCHIP2（CTL__LOGIC）とCHIP3（DRAM）とから構成される。

- CHIP1（FLASH）は不揮発性メモリである。不揮発性メモリにはROM（リードオンリーメモリ）、EEPROM（エレクトリカリイレーサブルアンドプログラマブルROM）、
15 フラッシュメモリ等を用いることができる。本実施の形態例ではフラッシュメモリを例に説明する。

- 特に限定しないが、CHIP1（FLASH）として用いられる典型的な不揮発性メモリは、NANDインターフェースを（NAND IF）装備している大容量フラッシュメモリであり、約128Mbitの大きな記憶容量をもち、読み出し時間（読み出し要求からデータ
20 が出力されるまでの時間）は約25 μ sから100 μ sと比較的遅い。

CHIP3（DRAM）はダイナミックランダムアクセスメモリで内部構成やインターフェースの違いから、EDO（Extended Data Out）、SDRAM（Synchronous DRAM）、DDR（Double Data Rate）等様々な種類がある。メモリモジュールMMにはいずれのDRAMでも用いることができる。本実施の形態例ではSDRAMを例に説明する。

- 25 特に限定しないが、CHIP3（DRAM）として用いられる典型的なSDRAMは約256Mbitの大きな記憶容量をもち、読み出し時間は約35nsから55ns程度である。
CHIP2（CTL__LOGIC）は、CHIP1（FLASH）とSRAMおよびCHIP3（DRAM）とのデータ

転送を制御する制御回路である。

SRAMはスタティックランダムアクセスメモリで内部構成やインターフェースの違いから非同期型スタティックランダムアクセスメモリ、クロック同期型スタティックランダムアクセスメモリなど様々な種類がある。メモリモジュールMMには
5、いずれのスタティックランダムアクセスメモリでも用いることができるが、本実施の形態例では非同期型スタティックランダムアクセスメモリを例に説明する。特に限定しないが、本実施の形態例で用いられるSRAMの記憶容量は約64kbitで、読み出し時間は約80nsである。

CHIP1 (FLASH) とCHIP2 (CTL_LOGIC) 間のデータ転送はNANDインターフェース (NAND IF) で行われ、CHIP2 (CTL_LOGIC) とCHIP3 (DRAM) とのデータ転送はSDRAMインターフェース (SDRAM IF) で行われる。
10

情報処理装置CHIP4 (MS) は中央演算装置CPUとSRAMコントローラSRCとDRAMコントローラSDCとから構成される。SRAMコントローラはSRAMインターフェース (SRAM IF) でSRAMへアクセスを行い、データの読み書きを行う。DRAMコントローラ
15はSDRAMインターフェース (SDRAM IF) でCHIP2 (CTL_LOGIC) を介してCHIP3 (DRAM) へアクセスを行いデータの読み書きを行う。

CHIP1 (FLASH) は、特に限定しないが、初期プログラム領域、メインデータ領域に分かれている。初期プログラム領域内には、電源投入直後に、情報処理装置CHIP4 (MS) を立ち上げるためのブートデータとSDRAMへ転送するメインデータ領域内のデータ範囲を示す自動転送領域指定データとリフレッシュ制御選択データが格納されている。
20

CHIP3 (DRAM) は、特に制限はないが、ワーク領域とコピー領域とに分かれており、ワーク領域はプログラム実行時のワークメモリとして、コピー領域はFLASHからのデータをコピーするためのメモリとして利用される。

25 SRAMは、特に制限はないが、ブート領域とバッファ領域とに分かれており、ブート領域は、情報処理装置CHIP4 (MS) を立ち上げるためのブートデータの格納用として、バッファ領域はCHIP1 (FLASH) とSRAM間のデータ転送を行うためのバッファメモリとして利用される。

CHIP2 (CTL_LOGIC) は、メモリマネージメント回路MU、コマンド・アドレス発生回路CMAD、アクセス調停回路ARB、初期化回路INT、リフレッシュ制御回路REF、データバッファBUF、SRAMインターフェース (SRAM IF) からアクセスできるコントロールレジスタSREGおよびSDRAMインターフェースからアクセスできるコントロールレジスタDREG、フラッシュ制御回路FCON、エラー検出訂正回路ECC、代替処理回路REPから構成される。

CHIP1 (FLASH) のアドレスとCHIP3 (DRAM) のコピー領域、SRAMのブート領域およびバッファ領域のアドレスとの対応付けは、CHIP2 (CTL_LOGIC) のメモリマネージメント回路MUによって決めることができる。例えば、一般的にCHIP3 (DRAM) は4つのメモリバンク (バンク0～3) から構成されており、特に限定はしないが、メモリマネージメント回路でCHIP3 (DRAM) のコピー領域をバンク0及びバンク1に割り当て、ワーク領域はバンク2及びバンク3に割り当てることも可能である。

以下に本メモリシステムの動作を説明する。

情報処理装置CHIP4 (MS)、CHIP3 (DRAM)、CHIP2 (CTL_LOGIC) およびCHIP1 (FLASH) へ電源投入を行うと、フラッシュ制御回路FCONは、CHIP1 (FLASH) の初期プログラム領域のデータを読み出し、エラー検出訂正回路ECCにて、エラーがあるかどうかをチェックする。エラーがなければ、直接SRAMへ転送し、エラーがあれば訂正を行い、SRAMへ転送する。このように、電源投入直後にブートデータをCHIP1 (FLASH) からSRAMに自動転送することにより、情報処理装置CHIP4 (MS) はこのブートデータを読み出し、すばやく自らを立ち上げることができる。

情報処理装置CHIP4 (MS) が立ち上げを行っている間に、初期化回路INTはCHIP3 (DRAM) の初期化シーケンスを行う。フラッシュ制御回路FCONは自動転送領域指定データをSRAMより読み出し、このデータに示されている範囲のCHIP1 (FLASH) のメインデータ領域のデータを順に読み出し、エラー検出訂正回路ECCにてエラーがあるかどうかをチェックする。エラーがなければ、直接データバッファBUFへ転送し、エラーがあれば訂正を行い、データバッファBUFへ転送する。コマンド・アドレス発生回路CMADはデータバッファBUFに保持されているデータを

順にCHIP3 (DRAM) へ転送する。データ転送が開始されると、リフレッシュ制御回路REFはCHIP3 (DRAM) のデータを保持するためにコマンド・アドレス発生回路CMADを介してCHIP3 (DRAM) へオートリフレッシュコマンドを発行する。データ転送が終了した時点でアクセス調停回路は、コントロールレジスタDREGに対してデータ

5 転送の完了を示す転送完了フラグを書き込む。

情報処理装置CHIP4 (MS) はSDRAMインターフェース (SDRAM IF) でコントロールレジスタDREGへアクセスを行い、コントロールレジスタDREG内の転送完了フラグを読み出すことによって、電源投入直後のデータ転送が完了したことを知ることができる。

10 CHIP3 (DRAM) は、定期的にリフレッシュ動作を行わないとメモリセルに保持されているデータが失われるという特性を持つため、リフレッシュ制御回路REFは、電源投入時のCHIP1 (FLASH) からCHIP3 (DRAM) へのデータ転送が開始されると、CHIP3 (DRAM) に対してオートリフレッシュ動作を行う。さらに、データ転送が完了した後、リフレッシュ制御選択データをSRAMより読み出す。リフレッシュ制御

15 選択データがHighの場合は、情報処理装置CHIP4 (MS) からCHIP2 (CTL_LOGIC) へオートリフレッシュ命令あるいはセルフリフレッシュ命令が入力すると、リフレッシュ制御回路REFはオートリフレッシュ動作を中止し、リフレッシュ動作によるデータ保持は情報処理装置CHIP4 (MS) からの制御に移る。

また、リフレッシュ制御選択データがLowの場合は、データ転送が完了した後、

20 リフレッシュ制御回路はCHIP3 (DRAM) に対してセルフリフレッシュ動作を行いCHIP3 (RAM) のデータを保持する。セルフリフレッシュ状態では、通常のオートリフレッシュ動作より低電力でデータを保持することができる。リフレッシュ制御回路REFによるセルフリフレッシュ状態は、情報処理装置CHIP4 (MS) から、セルフリフレッシュ解除命令が入力されると、セルフリフレッシュ状態は解除され、

25 それと同時に、リフレッシュ動作によるデータ保持は情報処理装置CHIP4 (MS) からの制御に移る。

このように、電源投入直後にブートデータをCHIP1 (FLASH) からSRAMに自動転送することにより、情報処理装置CHIP4 (MS) は、このブートデータを読み出し、

すばやく自らを立ち上げることができる。さらに、情報処理装置CHIP4 (MS) が立ち上げを行っている間に、CHIP 1 (FLASH) のデータをCHIP3 (DRAM) へ自動転送することにより、情報処理装置CHIP4 (MS) が立ちあがった時点で、すぐにメモリモジュールMMへアクセスすることができるため高性能化が図れる。

- 5 電源投入時の動作シーケンスが終了した後のCHIP1 (FLASH) とCHIP3 (DRAM) 間のデータ転送は、情報処理装置CHIP4 (MS) がコントロールレジスタDREGへアクセスし、ロード命令やストア命令コードを書きこむことで行われる。ロード命令によりCHIP1 (FLASH) のメインデータ領域のデータをCHIP3 (DRAM) のコピー領域に転送でき、ストア命令によりCHIP3 (DRAM) のコピー領域のデータをCHIP1 (FLASH) のメインデータ領域へ転送できる。

- 10 情報処理装置CHIP4 (MS) がSDRAMインターフェース (SDRAM IF) からコントロールレジスタDREGへロード命令コードとロード開始アドレスと転送データサイズを書きこむと、CHIP1 (FLASH) のデータの内、ロード開始アドレスから転送サイズ分までのデータがCHIP3 (DRAM) のコピー領域へ転送される。最初に、フラッシュ制御回路FCONは、CHIP1 (FLASH) に対して順に読み出し動作を行う。CHIP1 (FLASH) から読み出されたデータに誤りが無ければ、直接、データを転送データバッファBUFへ転送し、誤りがあれば、エラー検出訂正回路ECCで訂正し、転送データバッファBUFへ転送する。コマンド・アドレス発生回路CMADはデータバッファBUFに保持されているデータを順にCHIP3 (DRAM) へ転送する。

- 20 情報処理装置CHIP4 (MS) がSDRAMインターフェース (SDRAM IF) からコントロールレジスタDREGへロード命令コードとロード開始アドレスと転送データサイズを書きこむと、CHIP3 (DRAM) のコピー領域のうちストア開始アドレスから転送サイズ分までのデータがCHIP 1 (FLASH) へ転送される。

- 25 最初に、コマンド・アドレス発生回路CMADは、SDRAMインターフェース (SDRAM IF) から、読み出し命令とアドレスをCHIP3 (DRAM) へ発行し、データを読み出す。

CHIP3 (DRAM) から読み出されたデータは、データバッファBUFへ転送される。フラッシュ制御回路FCONは、データバッファBUFへ転送されたデータを読み出し、CHIP1 (FLASH) に対して書き込みを行う。

代替処理回路REPは、書き込みが成功したかどうかをチェックし、成功すれば処理を終了する。書き込みが失敗した時には、CHIP1 (FLASH) にあらかじめ用意されている代替用の新たなアドレスに対して書き込みを行う。代替え処理を行った際は、不良アドレスと、不良アドレスに対して、どのアドレスに代替え処理を行ったかというアドレス情報を保持し管理する。

なお、図1ではエラー検出訂正回路ECCと代替処理回路REPは、制御回路CHIP2 (CTL_LOGIC) に設けたが、もちろんCHIP1 (FLASH) に設けて、FLASH側でエラー訂正を行って、そのデータを制御回路CHIP2 (CTL_LOGIC) を介してCHIP3 (DRAM) 側に転送し、また、CHIP3 (DRAM) 側からCHIP1 (FLASH) 側へ転送するデータをCHIP1 (FLASH) 側で代替処理を行い、書き込む構成としても良い。

電源投入時の動作シーケンスが終了した後のCHIP1 (FLASH) とSRAM間のデータ転送は、情報処理装置CHIP4 (MS) がコントロールレジスタSREGへアクセスし、ロード命令やストア命令コードを書きこむことで行われる。ロード命令によりCHIP1 (FLASH) のデータをSRAMのバッファの領域に転送でき、ストア命令によりSRAMのバッファ領域のデータをCHIP1 (FLASH) のへ転送できる。

情報処理装置CHIP4 (MS) がSRAMインターフェース (SRAM IF) からコントロールレジスタSREGへロード命令コードとロード開始アドレスと転送データサイズを書きこむと、CHIP1 (FLASH) のロード開始アドレスから転送データサイズ分のデータが読み出され、SRAMのバッファ領域へ転送される。

最初に、フラッシュ制御回路FCONは、CHIP1 (FLASH) に対して順に読み出し動作を行う。CHIP1 (FLASH) から読み出されたデータに誤りが無ければ、直接、データをSRAMのバッファ領域へ転送し、誤りがあれば、エラー検出訂正回路ECCで訂正し、SRAMのバッファ領域へ転送する。

ロード命令によるCHIP1 (FLASH) とSRAM間のデータ転送と同様に、情報処理装置CHIP4 (MS) がSRAMインターフェース (SRAM IF) からコントロールレジスタSREGへストア命令コードとストア開始アドレスと転送データサイズを書き込むと、SRAMのバッファ領域のストア開始アドレスから転送データサイズ分のデータが、CHIP1 (FLASH) へ書きこまれる。

最初にフラッシュ制御回路FCONは、SDRAMのバッファ領域のデータを読み出し、CHIP1 (FLASH) に対して書き込みを行う。

代替処理回路REPは、書き込みが成功したかどうかをチェックし、成功すれば処理を終了する。書き込みが失敗した時には、CHIP1 (FLASH) にあらかじめ用意されている代替用の新たなアドレスに対して書き込みを行う。代替え処理を行った際は、不良アドレスと、不良アドレスに対して、どのアドレスに代替え処理を行ったかというアドレス情報を保持し管理する。

このように、SRAM IFでSRAMのバッファ領域を介してブートデータや自動転送領域指定データをFLASHの初期プログラム領域へ書き込み、電源投入直後のブート方法やデータ転送領域を変えることができるため、携帯機器の要求に応じて柔軟に対応でき、高機能化が図れる。

情報処理装置CHIP4 (MS) がCHIP3 (DRAM) のコピー領域へアクセスする場合は、SDRAMインターフェースによりCHIP2 (CTL_LOGIC) に対して、CHIP3 (DRAM) のコピー領域を選択するアドレスと読み出し命令や書き込み命令を入力する。その後CHIP2 (CTL_LOGIC) は入力されたの命令やアドレスに従って、CHIP3 (DRAM) のコピー領域からデータの読み出しや書きこみを行う。

このように、CHIP3 (DRAM) のコピー領域にCHIP 1 (FLASH) のデータは保持されているため、CHIP3 (DRAM) へアクセスし、データの読みだしおよび書き込みを行うことによってCHIP1 (FLASH) のデータの読み出し及び書きこみ時間はDRAMと同等となる。CHIP3 (DRAM) のワーク領域からの読み出しや書き込みも、コピー領域へのアクセスと同じ手続きで行われる。

情報処理装置CHIP4 (MS) がSRAMへアクセスする場合は、SDRAMインターフェースによりSRAMに対して、アドレスと読み出し命令や書き込み命令を入力する。その後、SRAMは、これらの命令やアドレスに従って、データの読み出しや書きこみを行う。

これによって、情報処理装置CHIP4 (MS) は電源投入直後に、CHIP1 (FLASH) からSRAMへ転送し、保持されているブートデータを読み出し、すばやく自らの立ち上げを行うことができる。さらに、情報処理装置CHIP4 (MS) はSRAMのバッファ領

域を介してCHIP1 (FLASH)へプログラムの変更をしたり、また、プログラムの内容を読み出し、確認することができるため、携帯機器の要求に合わせて柔軟に対応することができる。

メモリマネジメント回路MUで、CHIP3 (DRAM)のコピー領域をバンク 0 及びバンク 1 に割り当て、ワーク領域はバンク 2 及びバンク 3 に割り当てたとする。ロード命令やストア命令によるCHIP3 (DRAM)のバンク 0 アクセスが生じている時、情報処理装置CHIP4 (MS)のSDRAMインターフェースからCHIP3 (DRAM)のバンク 3 へのアクセスが生じた場合、制御回路CHIP2 (CTL_LOGIC)は、ロード命令やストア命令によるCHIP3 (DRAM)へのアクセスを一時、停止し、情報処理装置CHIP4 (MS)からのアクセスを優先させる。このアクセスが終了したら、ロード命令やストア命令によるアクセスを再開する。

このように、ロード命令やストア命令によるCHIP1 (FLASH)とCHIP3 (DRAM)との間のデータ転送中であっても、これらのデータ転送を意識することなく、情報処理装置CHIP4 (MS)からCHIP3 (DRAM)へアクセスでき、携帯機器の高性能化、高機能化に対応できる。

云いかえれば、ロード命令やストア命令によるCHIP1 (FLASH)とCHIP3 (DRAM)との間のデータ転送をバックグラウンドで実行でき、必要なデータを必要な時間までに前もってCHIP3 (DRAM)へ転送したり、CHIP1 (FLASH)へ転送することができ、携帯機器の高性能化、高機能化に対応することができる。

以上説明した様に、本発明によるメモリモジュールではSRAMインターフェースおよびSDRAMインターフェース方式を踏襲し、電源投入直後にCHIP1 (FLASH)内のブートデータをSRAMに自動転送することにより、情報処理装置CHIP4 (MS)はこのブートデータですばやく自らを立ち上げることができる。さらに、情報処理装置CHIP4 (MS)が立ち上げを行っている間に、CHIP1 (FLASH)のデータをCHIP3 (DRAM)へ自動転送することにより、情報処理装置CHIP4 (MS)が立ちあがった時点で、すぐにメモリモジュールMMへアクセスすることができるため高性能化が図れる。

CHIP1 (FLASH)内のデータをコピーできる領域をCHIP3 (DRAM)内に確保し、電源投入直後あるいはロード命令によりあらかじめCHIP1 (FLASH)からCHIP3 (DRAM)へ

データを転送しておくことで、DRAMと同程度の速度でFLASHのデータを読み出すことができる。FLASHへデータを書く際は、いったんデータをDRAMに書き込み、必要に応じてストア命令によりFLASHへ書き戻すことができるため、データの書き込み速度もDRAMと同等となる。

- 5 メモリモジュールMMの内部で、FLASHからの読み出し時は、エラー検出と訂正を行い、書きこみ時は、書きこみが正しく行われなかった不良アドレスに対して代替処理を行うため、処理が高速にでき、かつ信頼性を保つことができる。

- 10 SRAMのバッファ領域を介してCHIP1 (FLASH) のプログラムの変更をしたり、また、プログラムの内容を読み出し、確認することができるため、携帯機器の要求に合わせて柔軟に対応することができる。

さらに、大容量のDRAMを用いるため、FLASHのデータをコピーできる領域のほかに、大容量のワーク領域も確保でき、携帯電話の高機能化に対応できる。

- 15 図2は、メモリマネージメント回路MUによるメモリマップの一例を示したものである。本実施の形態例では、特に限定されないが、不揮発性メモリの記憶領域が128Mbit+4Mbit (4Mbitは代替領域)、DRAMの記憶領域が256Mbit、SRAMが8kbit、コントロールレジスタSREGおよびDREGのそれぞれが1kbitであるメモリモジュールを例に代表的なメモリマップを説明する。

- 20 図2では、SDRAMインターフェース (SRAM IF) およびSRAMインターフェース (SRAM IF) を通じて入力したアドレスを元に、メモリマネージメント回路MUがコントロールレジスタDREG (1kb)、DRAMのワーク領域WK (128Mbit)、DRAMのコピー領域CP (128Mbit)、FLASHの (128Mbit) にアドレスを変換したメモリマップを示す。

- 25 特に制限はないが、メモリマップのアドレス空間の下部から、SRAM、コントロールレジスタSREG、DRAMのバンク0 (BANK0)、バンク1 (BANK1)、バンク2 (BANK2)、バンク3 (BANK3)、コントロールレジスタDREGがマッピングされている。

SRAMは、ブート領域SBootとバッファ領域SBUFに分かれている。

DRAMのバンク0 (BANK0) 及びバンク1 (BANK1) はコピー領域CPに、バンク

2 (BANK2) 及びバンク 3 (BANK3) はワーク領域WKにマッピングされている。コピー領域CPは、FLASHのデータが転送され保持される領域である。ワーク領域WKは、ワークメモリとして利用される領域である。また、バンク 1 (BANK1) のコピー領域CPには初期自動転送領域CIPが含まれている。

- 5 FLASHは、メインデータ領域FM、初期プログラム領域Fbootおよび代替領域FREPとに分かれている。また、FLASHのメインデータ領域FMには、電源投入時にDRAMへ自動転送される初期自動転送領域IPが含まれている。

FLASHのメインデータ領域FMには、プログラムやデータが格納されている。また、FLASHは書き換えを繰り返すことによって、信頼性が低下し、書き込み時に
10 書いたデータが、読み出し時には異なるデータとなったり、書き換え時にデータが書き込まれなかったりすることが稀にある。代替領域FREPはこのように不良となった初期プログラム領域Fbootやメインデータ領域FMのデータを、新たな領域へ置き換えるために設けられている。代替領域の大きさは、特に限定しないが、FLASHが保証する信頼性が確保できるように決めると良い。

- 15 FLASHのメインデータ領域FMおよび代替領域FREP内のデータは、SDRAMインターフェース (SDRAM IF) からのロード命令により、DRAMのコピー領域CPへ転送される。

電源投入時のFLASHからDRAMへのデータ転送について説明する。

- FLASHの初期プログラム領域FBootには、電源投入時にFLASHからDRAMへ自動転
20 送する初期自動転送領域IPの範囲を示す自動転送領域指定データが格納されている。

電源投入後、まず、FLASHの初期プログラム領域FBoot内のデータを読み出し、エラー訂正回路ECCによってエラーがあるかどうかをチェックし、エラーがなければ、直接、SRAMのブート領域SBootへ転送される。エラーがあれば、エラーを
25 訂正されたデータが、SRAMのブート領域SBootへ転送される。

次に、自動転送領域指定データに示されているFLASHの初期自動転送領域IP内のデータがDRAMの初期自動転送領域CIPへ転送される。

ロード命令によるFLASHからDRAMへのデータ転送を説明する。

SDRAMインターフェース (SDRAM IF) からコントロールレジスタDREGにロード命令と、転送開始のアドレスと転送データサイズ (1 ページ) が書きこまれる。そうすると、制御回路CHIP2 (CTL_LOGIC) はFLASHのメインデータ領域FMのデータを読出し、メモリマネージメント回路MUが設定したメモリマップに従い、DRAM

5 のコピー領域へ1 ページ分のデータを転送する。FLASHからデータを読み出す際は、FLASHのデータはエラー訂正回路ECCによってエラーがあるかどうかをチェックされ、エラーがなければ、直接、DRAMのコピー領域CPへ転送される。エラーがあれば、エラー訂正されたデータが、DRAMのコピー領域CPへ転送される。

ストア命令によるDRAMからFLASHへのデータ転送を説明する。

10 SDRAMインターフェース (SDRAM IF) からコントロールレジスタDREGにストア命令と転送開始アドレスと転送データサイズ (1 ページ) を書きこむ。そうすると、制御回路CHIP2 (CTL_LOGIC) はDRAMのコピー領域のデータを読出し、メモリマネージメント回路MUが設定したメモリマップに従い、FLASHのメインデータ領域へ1 ページ分のデータを転送する。

15 FLASHへデータを書きこむ際、代替処理回路REPは、書き込みが成功したかどうかをチェックし、成功すれば処理を終了する。書き込みが失敗した時には、FLASHの代替領域FREP内のアドレスを選択し、データを書き込む。

次に、DRAMからのデータの読み出しについて説明する。

SDRAMインターフェース (SDRAM IF) から、FLASHのメインデータ領域のデータが保持されているDRAMのバンク0 (BANK0) 内のアドレスとリード命令が入力

20 されると、DRAMのバンク0 (BANK0) 内のアドレスを選択し、データを読み出すことができる。

つまり、FLASHのデータをDRAMと同じ速度で読み出すことができる。他のバンク (バンク1、バンク2、バンク3) についても同様にデータを読み出すことが

25 できる。

次に、DRAMへのデータの書きこみについて説明する。

SDRAMインターフェース (SDRAM IF) から、DRAMのバンク1 (BANK1) 内のアドレスと書き込み命令が入力されると、DRAMのバンク1 (BANK1) 内のアドレス

を選択し、データを書きこむことができる。DRAMのバンク1 (BANK1) のデータは必要に応じてストア命令によってFLASHへ書き戻すことができるため、FLASHのデータをFLASHのデータをDRAMと同じ速度で書きこむことができる。他のバンク (バンク3、バンク2、バンク0) についても同様にデータを書きこむことができる。

図3-(a)および図3-(b)は、CHIP2 (CTL_LOGIC) の電源投入時の初期シーケンスを示す。まず、図3-(a)を説明する。

T1の期間 (PON) で電源投入を行い、T2の期間 (RST) でリセットを行う。リセットが解除された次のT3の期間 (BLD) でFLASHの初期プログラム領域FBootのデータをSRAMのブート領域SBootへ転送する。T4 (DINIT) でDRAMに対して初期化を行い、T5の期間 (ALD) でFLASHの初期自動転送領域IPのデータをDRAMの初期自動転送領域CIPへ転送する。初期自動転送領域CIPへの転送が開始されてからリフレッシュ制御回路REFがオート・リフレッシュを行う。初期自動転送領域CIPへの転送が終了した後は、この転送が完了したことを示す転送完了フラグをコントロールレジスタDREGに書き込む。T6の期間 (IDLE) 以降はDRAMはアイドル状態となり、情報処理装置CHIP4 (MS) のSDRAMインターフェース (SDRAMIF) からアクセスを受け付けることができる。T7 (AREF) の期間に情報処理装置CHIP4 (MS) からオートリフレッシュ命令が入力するとCHIP2はリフレッシュ制御回路REFによるオートリフレッシュを、これ以降中止し、リフレッシュ動作によるデータ保持は情報処理装置CHIP4 (MS) からのリフレッシュ制御に自動的に移る。

このように、CHIP2 (CTL_LOGIC) 内部からのリフレッシュ制御を気にすることなく、情報処理装置CHIP4 (MS) からアクセスすることができる。

図3-(b)では、T6の期間でリフレッシュ制御回路REFがセルフリフレッシュ命令によりDRAMをセルフリフレッシュ状態にする。セルフリフレッシュ状態にすることによって、T5の期間 (ALD) でDRAMへ転送したデータを低電力で保持することができる。

セルフリフレッシュ状態では、通常のオート・リフレッシュ動作より低電力でデータを保持することができる。T8の期間 (SREX) でセルフリフレッシュ状態を

解除するため情報処理装置CHIP4(MS)からセルフリフレッシュ解除命令が入力されると、セルフリフレッシュ状態が解除され、T8の期間(IDLE)以降では、DRAMはアイドル状態となり、データ読み出しや書き込みのアクセスを受け付けることができる。またリフレッシュ動作によるデータ保持は情報処理装置CHIP4(MS)からの制御に自動的に移る。

Flashの初期プログラム領域FBoot内のリフレッシュ制御選択データがHighの場合は図3-(a)のシーケンスとなり、Lowの場合は図3-(b)のシーケンスとなる。また、リフレッシュ制御選択専用の入力端子PSQを設けて、たとえば入力端子PSQが電源端子に接続される場合、図3-(a)の初期シーケンスを選択でき、また、入力端子PSQが接地端子に接続される場合は図3-(b)の初期シーケンスを選択できるようにしても良い。

図4は、図3に示すT3の期間(DINT)で、汎用SDRAMに対して行う初期化の一例を示すフローチャートである。このDRAMの初期化では、DRAMに対し全バンクプリチャージ(STEP1:ABP)を行い、次に、オートリフレッシュ(STEP2:AREF)、最後にモードレジスタセット(STEP3:MRSET)を行う。特に限定はしないが、モードレジスタセット(STEP3:MRSET)では、バースト長(BL)を4に、キャスレイテンシ(CL)を2に設定する例を示している。

図5は、従来の汎用SDRAMに、拡張モードレジスタEMREGを追加し、セルフリフレッシュ時のデータ保持領域の変更や最大保証温度の変更、出力バッファのドライブ能力の変更等を可能としたSDRAMに対して、T3の期間(DINT)で行う初期化の一例を示すフローチャートである。

このDRAMの初期化では、DRAMに対し全バンクプリチャージ(STEP1:ABP)を行い、次に、オートリフレッシュ(STEP2:AREF)を行う。そしてモードレジスタセット(STEP3:MRSET)を行い、最後に拡張モードレジスタセット(STEP4:EMRSET)を行う。特に限定はしないが、モードレジスタセット(STEP3:MRSET)では、バースト長(BL)を4に、キャスレイテンシ(CL)を2に設定し、拡張モードレジスタセット(STEP4:EMRSET)では、セルフリフレッシュ時のDRAMのデータ保持領域を全バンクに(Ret=All banks)、最大保証温度を85℃に(Temp=85℃)、出力バ

ッファのドライブ能力をノーマルに(Drv=Normal)設定する例を示している。

図6は、電源投入後の図3のT3の期間(BLD)で行うFLSAHからSRAMへのデータ転送についての一例を示すフローチャートである。電源投入後、制御回路CHIP2は、FLASHから初期プログラム領域FBootのデータを読み出す(STEP1)。読み出したデータにエラーがあるかをチェック(STEP2)し、エラーがあればエラーを訂正し(STEP3)、エラーがなければ直接、SRAMのブート領域SBootへ転送する(STEP4)。

図7は、電源投入後の図3のT5の期間(ALD)で行うFLSAHの初期自動転送領域IPからDRAMの初期自動転送領域CIPへのデータ転送についての一例を示すフローチャートである。電源投入後、制御回路CHIP2は、FLASHからデータを読み出す(STEP1)。読み出したデータにエラーがあるかをチェック(STEP2)し、エラーがあればエラーを訂正し(STEP3)、エラーがなければ直接、データバッファBUFへ転送する(STEP4)。

データバッファBUFへ書きこまれたデータをDRAMへ書きこむ際、DRAMに対してリフレッシュ要求が発生しているかをチェックし(STEP5)、リフレッシュ要求があれば、リフレッシュ動作を行い(STEP6)、その後、データをDRAMに書きこむ(STEP7)。リフレッシュ要求がなければ、すぐにデータをDRAMに書きこむ(STEP7)。データバッファBUFの内のデータがすべてDRAMへ書きこまれたかをチェックし(STEP8)、すべて書きこまれていなければ、STEP5からSTEP8を繰り返す。次に、FLASHの初期自動転送領域IPのデータがすべてDRAMへ書きこまれたかをチェックする(STEP9)。すべて書きこまれていなければSTEP1からSTEP9を繰り返す。FLASHの初期自動転送領域IPのデータがすべてDRAMへ書きこまれていれば、コントロールレジスタDREGへ、このデータ転送が完了したことを示す値を書きこむ(STEP10)。

リフレッシュ制御回路REFは、図3のT4の期間(ALD)でのDRAMの初期化後、DRAMに対してオートリフレッシュ命令を発行し、情報処理装置CHIP4(MS)からオートリフレッシュ命令やセルフリフレッシュ命令が入力するまで、DRAMのデータ保持を行う。

図8は、ロード命令によって実行されるFLASHからDRAMへのデータ転送を示すフローチャートである。

情報処理装置CHIP4(MS)からロード命令とアドレスがCHIP2 (CTL_LOGIC) へ入力すると (STEP1)、FLASHから入力アドレスに対応したデータを読み出す (STEP2)。読み出したデータにエラーがあるかをチェック (STEP3) し、エラーがあればエラーを訂正し (STEP4)、データバッファBUFへ書きこむ (STEP5)。エラーがなければ直接、データバッファBUFへ書きこむ (STEP5)。

データバッファBUFへ書きこまれたデータをDRAMへ書きこむ前に 情報処理装置CHIP4(MS)からDRAMに対して読出し、書き込み、リフレッシュ等の命令が発生しているかをチェックし (STEP6)、命令があれば、その命令を実行し (STEP7)、その後、DRAMへデータの書きこみを開始する (STEP8)。命令がなければ、すぐにDRAMへデータの書き込みを開始する (STEP8)。

次に、データバッファBUFからDRAMへデータがすべて書きこまれたかをチェックする (STEP9)。データがすべて書きこまれていない場合、つまり、まだ書き込み中の際に、情報処理装置CHIP4(MS)からDRAMに対して読出し、書き込み、リフレッシュ等の命令が発生したかどうかをチェックし (STEP10)、これら命令が発生した場合は、データバッファBUFからDRAMへの書き込み動作を一時的に停止し (STEP11)、これら命令を実行する (STEP12)。これら命令が終了したかをチェックし (STEP13)、終了していなければSTEP11とSTEP13を繰り返す。終了していれば、データバッファBUFからDRAMへの書き込み動作を再開する (STEP8)。データバッファBUFからDRAMへデータがすべて書きこまれたら、コントロールレジスタDREGに、データ転送が終了したことを示す値を書きこむ (STEP14)。

図9は、ストア命令によって実行されるDRAMからFLASHへのデータ転送を示すフローチャートである。

情報処理装置CHIP4(MS)からストア命令とアドレスが入力すると、CHIP2は、内部で、ストア命令に従い、DRAMからデータを読み出す手続きを行う (STEP1)。ストア命令による、DRAMからのデータ読出しを開始する前に、情報処理装置CHIP4(MS)からの読出し、書き込み、リフレッシュ等の命令が実行されているか

をチェック (STEP2) する。これらの命令が実行されていなければ、ストア命令による、DRAMからのデータ読出しを開始する (STEP5)。

5 実行されていれば、ストア命令の実行を一時、停止し (STEP3)、現在、実行している命令が、完了したかチェックする (STEP4)。完了していなければストア命令の実行を停止しておく (STEP3)。完了していれば、ストア命令によるDRAMからのデータ読出しを開始し、DRAMより読み出したデータをデータバッファBUFに書き込む (STEP5)。

10 スストア命令によりDRAMから読み出したデータのデータバッファBUFへの書き込みが終了したかをチェックし (STEP6) する。書き込みを終了しておらず、書き込みが続いている際には、情報処理装置CHIP4(MS)から読出し、書き込み、リフレッシュ等の命令が発生したかをチェックし (STEP7)、これらの命令が発生した場合、DRAMからのデータの読出し動作を一時的に停止し (STEP8)、前記命令を実行する (STEP9)。

15 前記命令が終了したかをチェックし (STEP10)、終了していなければSTEP8とSTEP10を繰り返し、終了すればDRAMからの読み出し動作を再開し、読み出したデータをデータバッファBUFへ書き込む (STEP5)。

データバッファBUFのデータのFLASHへの書き込み (STEP11) の際は、DRAMから読み出され、データバッファBUFへ転送されたデータをFLASHへ書きこむ。

20 FLASHへの書き込みが成功したかをチェックし (STEP12)、失敗した場合は代替用の他のアドレスを選択し (STEP13)、再度、FLASHへ書き込み (STEP11) を行う。成功した場合は、ストア命令によるデータの転送が完了したかをチェックし (STEP11)、完了していなければFLASHへの書き込み (STEP11) を継続し、完了していれば、コントロールレジスタDREGへデータ転送が終了したことを示す値を書きこむ (STEP15)。

25 図10は、ロード命令 (SLoad) によって実行されるFLASHからSRAMへのデータ転送を示すフローチャートである。

情報処理装置CHIP4(MS)からロード命令とアドレスがCHIP2へ入力すると (STEP1)、FLASHから入力アドレスに対応したデータを読み出す (STEP2)。読

み出したデータにエラーがあるかをチェック (STEP3) し、エラーがあればエラーを訂正し (STEP4)、SRAMへ書きこむ (STEP5)。エラーがなければ直接、SRAMへ書きこむ (STEP5)。

- ロード命令によるSRAMへの書き込みが終了したかどうかチェックし (STEP6)、
5 終了していなければ、STEP5とSTEP6を繰り返す。完了すればコントロールレジスタSREGへ、データ転送が終了したことを示す値を書きこむ (STEP7)。

図11は、ストア命令によって実行されるSRAMからFLASHへのデータ転送を示すフローチャートである。

- 情報処理装置CHIP4(MS)からストア命令とアドレスがCHIP2へ入力すると (STEP
10 1)、SRAMからデータを読み出し (STEP2)、FLASHへ書き込む (STEP3)。FLASHへの書き込みが成功したかをチェックし (STEP4)、失敗した場合は代替用の他のアドレスを選択し (STEP5)、再度、FLASHへ書き込み (STEP4) を行う。成功した場合は、ストア命令によるデータの転送が終了したかをチェックし (STEP
15 6)、完了していなければ、STEP2からSTEP6を繰り返す。終了していれば、コントロールレジスタSREGへデータ転送が終了したことを示す値を書きこむ (STEP
7)。

図12は、本メモリモジュールMMを構成する図1に示したCHIP1(FLASH)として用いるNANDインターフェース (NAND IF) NAND型フラッシュメモリの一例を示すブロック図である。

- 20 動作ロジックコントローラL-CONT、制御回路CTL、入出力コントロール回路I/O-CONT、ステータスレジスタSTREG、アドレスレジスタADREG、コントロールレジスタCOMREG、レディ・ビジー回路R/B、高電圧発生回路VL-GEN、ローアドレスバッファROW-BUF、ローアドレスデコーダROW-DEC、カラムバッファCOL-BUF、カラムデコーダCOL-DEC、データレジスタDATA-REG、センスアンプSENSE-AMP、
25 メモリアレイMAから構成されている。

CHIP1 (FLASH) の動作は、従来から一般的に使用されているNAND型フラッシュメモリと同様である。

図13に、CHIP1を構成するNAND型フラッシュメモリからのデータ読み出し動

作を示す。チップイネーブル信号F-/CEがLOWに、コマンドラッチイネーブル信号F-CLEがHighになり、ライトイネーブル信号F-/WEが立ち上がった時、入出力信号F-I00～F-I015より読み出し命令の命令コードRcodeを入力する。その後、アドレスラッチイネーブル信号F-ALEがHighとなり、2番目と3番目と4番目のライトイネーブル信号F-/WEの立ち上がりで、入出力信号F-I00～F-I07よりページアドレスを入力する。

入力したページアドレスに対応する1ページ分のデータが、メモリアレイMAからデータレジスタDATA-REGに転送される。データがメモリアレイMAからデータレジスタDATA-REGに転送されている間は、フラッシュメモリはビジーとなり、レディ・ビジー回路R/Bは、レディ/ビジー信号F-R/BをLowにする。データ転送が終了したら、リードイネーブル信号F-/REの立下りに同期して、データレジスタDATA-REG内のデータが8ビットずつ順に読み出され、入出力信号F-I00～F-I07より出力される。

図14は、本メモリモジュールMMのCHIP1(FLASH)に、ANDインターフェースAND IF)を装備したAND型フラッシュメモリを用いた場合の構成例を示す図である。ANDインターフェース(AND IF)を装備したAND型フラッシュメモリを用いた場合でも本メモリシステムは実現できる。

図15に、本メモリモジュール内のCHIP1に用いられるAND型フラッシュメモリのブロック図の一例を示す。

AND型フラッシュメモリのCHIP1(FLASH)は、コントロール信号バッファC-BUF、コマンドコントローラC-CTL、マルチプレクサMUX、データインプットバッファDI-BUF、インプットデータコントローラIDC、セクタアドレスバッファSA-BUF、XデコーダX-DEC、メモリアレイMA(AND TYPE)、YアドレスカウンタY-CTF、YデコーダY-DEC、センスアンプ回路Y-GATE/SENS AMP、データレジスタData Register、データアウトプットバッファDO-BUFの各ブロックから構成されている。CHIP1の動作は、従来から一般的に使用されているAND型フラッシュメモリと同様である。このCHIP1(FLASH)によって本実施の形態例のメモリモジュールが構成できる。

図16にCHIP1を構成するAND型FLASHメモリからのデータ読み出し動作を示す。

チップイネーブル信号F-/CEがLOW、コマンドデータイネーブル信号F-CDEがLOWになり、ライトイネーブル信号F-/WEが立ち上がった時、入出力信号F-I00～F-I07より読み出し命令の命令コードRcodeを入力する。2番目と3番目のライトイネーブル信号F-/WEの立ち上がりで入出力信号F-I00～F-I07よりセクタアドレスを
5 入力する。

入力したセクタアドレスに対応する1ページ分のデータが、メモリアレイMAからデータレジスタData Registerに転送される。データがメモリアレイMA(AND TYPE)からデータレジスタData Registerに転送されている間は、FLASHはビジーとなり、F-R/Bはレディ/ビジィ信号をLowにする。データ転送が終了したら、シリアルクロック信号F-SCの立ち上がり同期し、データレジスタDATA-REG内のデータが8ビットずつ順に読み出され、入出力信号F-I00～F-I07より出力される。
10

以上説明した様に、本発明によるメモリモジュールではSRAMインターフェースおよびSDRAMインターフェース方式を踏襲し、電源投入直後にCHIP1(FLASH)内のブートデータをSRAMに自動転送することにより、情報処理装置CHIP4(MS)はこのブートデータですばやく自らを立ち上げることができる。さらに、情報処理装置CHIP4(MS)が立ち上げを行っている間に、CHIP1(FLASH)のデータをCHIP3(DRAM)へ自動転送することにより、情報処理装置CHIP4(MS)が立ちあがった時点で、すぐにメモリモジュールMMへアクセスすることができるため高性能化が図れる。
15

ロード命令やストア命令によるCHIP1(FLASH)とCHIP3(DRAM)との間のデータ転送をバックグラウンドで実行できるため、メモリモジュール外部からのアクセスを意識することなく、必要なデータを必要な時間までに前もってCHIP3(DRAM)へ転送したり、CHIP1(FLASH)へ転送することができ、携帯機器の高性能化、高機能化に対応することができる。
20

CHIP1(FLASH)内のデータをコピーできる領域をCHIP3(DRAM)内に確保し、電源投入直後あるいはロード命令によりあらかじめCHIP1(FLASH)からCHIP3(DRAM)へデータを転送しておくことで、DRAMと同程度の速度でFLASHのデータを読み出すことができる。FLASHへデータを書く際は、いったんデータをDRAMに書き込み、
25

必要に応じてストア命令によりFLASHへ書き戻すことができるため、データの書き込み速度もDRAMと同等となる。

- メモリモジュールMMの内部で、FLASHからの読み出し時は、エラー検出と訂正を行い、書きこみ時は、書きこみが正しく行われなかった不良アドレスに対して
- 5 代替処理を行うため、処理が高速にでき、かつ信頼性を保つことができる。

SRAMのバッファ領域を介してCHIP1(FLASH)のプログラムの変更をしたり、また、プログラムの内容を読み出し、確認することができるため、携帯機器の要求に合わせて柔軟に対応することができる。

- さらに、大容量のDRAMを用いるため、FLASHのデータをコピーできる領域のほ
- 10 かに、大容量のワーク領域も確保でき、携帯電話の高機能化に対応できる。

<実施の形態例2>

図17は本発明を適用した第2の実施形態である。メモリモジュールMM1と情報処理装置CHIP4(MS)とから構成されるメモリシステムの実施形態を示したものである。以下におのおのについて説明する。

- 15 メモリモジュールMM1はCHIP1(FLASH)とCHIP2(CTL__LOGIC1)とCHIP3(DRAM1)とから構成される。

- CHIP1(FLASH)は、不揮発性メモリであり、特に限定しないが、NANDインターフェースを(NAND IF)装備している大容量フラッシュメモリとして説明を行う。CHIP1(FLASH)は約128Mbitの大きな記憶容量をもち、読み出し時間(読み出し要求からデータが出力されるまでの時間)は約25 μ sから100 μ sと比較的遅い。
- 20

CHIP3(DRAM1)は、CHIP2(CTL__LOGIC1)とのデータ転送を行うためのインターフェースと情報処理装置CHIP4(MS)とのデータ転送を行うためのインターフェースを装備しているDRAMである。

- 25 情報処理装置CHIP4(MS)とのデータ転送を行うためのインターフェースは、非同期型およびクロック同期型のDRAMインターフェースがあり、メモリモジュールMM1にはいずれのインターフェースでも用いることができる。本実施の形態例ではクロック同期型のDRAMインターフェースで、典型的に用いられているSynchron

ous DRAMのSDRAMインターフェース (SDRAM IF) を例に説明する。

CHIP3 (DRAM) とCHIP2 (CTL LOGIC1) とのデータ転送を行うためのインターフェースは、フラッシュメモリインターフェースであり、フラッシュメモリのインターフェースには、いわゆる、ANDインターフェース (AND IF) とNANDインターフェース (NANDIF) があり、本実施の形態例ではどちらも用いることができる。
5 本実施の形態例ではCHIP3 (DRAM) とCHIP2 (CTL LOGIC1) とのデータ転送を行うためのインターフェースはNANDインターフェースとしてとして説明する。

次にCHIP3 (DRAM1) の構成を説明する。CHIP3 (DRAM) は、データを保持するメモリバンク (B0, B1, B2, B3) と、このメモリバンクへのデータの読み出し、書き込みを制御する制御回路DCTL1から構成される。制御回路DCTL 1 は、コマンド・デコーダCDEC、アクセス調停回路ARB、メモリマネージメント回路DMU、初期化回路INT、リフレッシュ制御回路REF、データバッファBUF、コントロールレジスタDREG、モードレジスタMR、拡張モードレジスタEMR、FLASHインターフェース回路FIFから構成される。

15 メモリマネージメント回路DMUによって、CHIP1 (FLASH) は、特に限定しないが、初期プログラム領域とメインデータ領域とに分けられており、CHIP 3 (DRAM1) は、特に制限はないが、ワーク領域とコピー領域とに分かれており、ワーク領域はプログラム実行時のワークメモリとして、コピー領域はFLASHからのデータをコピーするためのメモリとして利用される様に管理されている。CHIP3 (DRAM1)
20 のメモリバンクB0とB1をコピー領域にB2とB3をワーク領域として割り当てることもできる。

CHIP2 (CTL LOGIC1) は、SRAM、コントロールレジスタSREG、フラッシュ制御回路FCON、エラー検出訂正回路ECC、代替処理回路REP、メモリマネージメント回路SMUから構成され、CHIP1 (FLASH) とCHIP3 (DRAM1) とのデータ転送を制御する。
25

メモリマネージメント回路SMUによって、SRAMは、特に制限はないが、ブート領域とバッファ領域とに分けられており、ブート領域は、情報処理装置CHIP4 (MS) を立ち上げるためのブートデータの格納用として、バッファ領域はCHIP1 (FLA

SH)とSRAM間のデータ転送を行うためのバッファメモリとして利用されるように管理されている。

また、CHIP1 (FLASH) とCHIP2 (CTL__LOGIC1) 間のデータ転送はNANDインターフェース (NAND IF) で行われ、CHIP2 (CTL__LOGIC) とCHIP3 (DRAM) とのデータ転送はSDRAMインターフェース (SDRAM IF) で行われる。また、情報処理装置CHIP4 (MS) とのデータ転送はSRAM インターフェース (SRAM IF) で行われる。

情報処理装置CHIP4 (MS) は中央演算装置CPUとSRAMコントローラSRCとDRAMコントローラSDCとから構成される。SRAMコントローラはSRAMインターフェース (SRAM IF) でCHIP2のSRAMへアクセスを行い、データの読み書きを行う。DRAMコントローラはSDRAMインターフェース (SDRAM IF) でCHIP3 (DRAM) へ直接アクセスを行いデータの読み書きを行う。

このように、本実施の形態例では、CHIP3 (DRAM1) はSDRAMインターフェース (SDRAM IF) とNANDインターフェース (NAND IF) の複数のインターフェースを装備することにより情報処理装置CHIP4 (MS) とCHIP3 (DRAM1) はSDRAMインターフェース (SDRAM IF) で、間にチップを介することなくダイレクトに接続できるので、より高速にデータの読み出しを行うことができる。

さらに、CHIP3 (DRAM) とCHIP2 (CTL__LOGIC1) との間はNANDインターフェース (NAND IF) で接続されており、接続配線数が少なくなり、低コスト化が可能となる。

次に、本実施の形態例の動作を説明する。

電源が投入されると、CHIP1 (FLASH)、CHIP2 (CTL__LOGIC1) およびCHIP3 (DRAM 1) は、それぞれ自らを初期状態に設定する。

次に、フラッシュ制御回路FCONは、CHIP1 (FLASH) の初期プログラム領域FBootのデータを読み出し、エラー検出訂正回路ECCにて、エラーがあるかどうかをチェックする。エラーがなければ、直接SRAMのブート領域SBootへ転送し、エラーがあれば訂正を行い、SRAMのブート領域へ転送する。

情報処理装置CHIP4 (MS) は、SRAMのブート領域へ格納されたブートデータを読み出して、自らの立ち上げを行う。

また、初期化回路INTは、CHIP3(DRAM1)の初期化シーケンスとして、モードレジスタMR、拡張モードレジスタEMRへ所望の値を設定する。

情報処理装置CHIP4(MS)が自らの立ち上げを行っている間、フラッシュ制御回路FCONが、FLASHインターフェース回路FIFを通じてCHIP3(DRAM1)へSRAMのブート領域への転送が終了したことを伝えると、CHIP3(DRAM1)は、FLASHインターフェースFIFを通じて、フラッシュ制御回路FCONへCHIP1(FLASH)からCHIP3(DRAM1)へのデータ転送を指示する。その後、フラッシュ制御回路FCONはCHIP1(FLASH)のメインデータ領域のデータを順に読み出し、エラー検出回路ECCにてエラーがあるかどうかをチェックする。エラーがなければ、直接データバッファBUFへ転送し、エラーがあれば訂正を行い、FLASHインターフェース回路FIFを通じて、データバッファBUFへ転送する。コマンド・デコーダーCDECはデータバッファBUFに保持されているデータを順にコピー領域に割り当てられているメモリバンク0(B0)へ転送する。データ転送が開始されると、リフレッシュ制御回路はメモリバンク0(B0)へ転送されたデータを保持するため、リフレッシュ動作を行う。

情報処理装置CHIP4(MS)より、SRAMインターフェース(SRRAM IF)から、CHIP2(CTL_LOGIC1)のコントロールレジスタSREGへロード命令が書き込まれると、CHIP1(FLASH)のメインデータ領域のデータが、SRAMのバッファ領域へ転送される。また、ストア命令がコントロールレジスタSREGへ書き込まれると、SRAMのバッファ領域のデータがCHIP1(FLASH)のメインデータ領域へ転送される。

情報処理装置CHIP4(MS)より、SDRAMインターフェース(SDRRAM IF)から、CHIP3(DRAM)のコントロールレジスタDREGへロード命令が書き込まれると、CHIP1(FLASH)のメインデータ領域のデータが、CHIP2を経由し、CHIP3(DRAM1)のコピー領域へ転送される。またストア命令がコントロールレジスタDREGへ書き込まれると、CHIP3(DRAM1)のコピー領域のデータがCHIP2を経由してCHIP1(FLASH)のメインデータ領域へ書き込まれる。

情報処理装置CHIP4(MS)より、SDRAMインターフェース(SDRRAM IF)で、CHIP3(DRAM)のメモリバンク0(B0)に保持されているCHIP1(FLASH)データの読み出し命令とアドレスを入力すると、アクセス調停回路ARBは、情報処理装置CHI

P4 (MS) からの読み出し命令を常に優先させ、ロード命令やストア命令によって、CHIP 1 とCHIP3との間にデータ転送が発生していれば、これを停止する。その後、コマンド・デコーダCDECは、この読み出し命令を解釈し、メモリバンク 0 (B0) からデータを読み出し、SDRAMインターフェースを通じて出力する。

- 5 また、本メモリモジュールMM1のCHIP1(FLASH)に、AND インターフェース(AND IF)を、CHIP 3 (DRAM1)とCHIP2(CTL_LOGIC 1)とのデータ転送にAND インターフェース(AND)を用いた場合においても本メモリシステムを実現できるのは言うまでもない。

- 10 この様に、アクセス調停回路ARBとコマンド・デコーダCDECをCHIP3 (DRAM 1)の中に組み込むことにより、メモリバンク (B0, B1, B2, B3) へのアクセスがすばやく行え、CHIP1 (FLASH1) データを高速に読み出すことができる。さらに、CHIP3 (DRAM1) はSDRAMインターフェース (SDRAM IF) とNANDインターフェース (NAND IF) を装備しているため、SDRAMインターフェース (SDRAM IF) は直接、情報処理装置CHIP4(MS)へ接続でき、情報処理装置CHIP4(MS)とCHIP3 (DRAM) との間に、チップを介さずにデータ転送が行えるため、高速にデータを読み出すことができる。

<実施の形態例 3>

- 20 図 1 8 は本発明を適用した第 3 の実施形態である。メモリモジュールMM2と情報処理装置CHIP4(MS)とから構成されるメモリシステムの実施形態を示したものである。以下におのおのについて説明する。

メモリモジュールMM2はCHIP1 (FLASH2) とCHIP2 (CTL_LOGIC2) とCHIP3 (DRAM2) とから構成される。

CHIP1 (FLASH2) は、不揮発性メモリであり、特に限定しないが、NANDインターフェースを(NAND IF)装備している大容量フラッシュメモリである。

- 25 CHIP1 (FLASH2) は、データを保持する不揮発性メモリアレイMA、不揮発性メモリアレイからのデータの読み出しおよび書き込みを制御する制御回路FCTL、エラー検出訂正回路ECC、代替処理回路REPから構成される。

メモリアレイMAの構成には、NAND構成とAND構成があり、双方の構成を用いる

ことができる。

CHIP3 (DRAM2) は、CHIP1 (FLASH2) とデータ転送を行うためのインターフェースと情報処理装置CHIP4 (MS) とのデータ転送を行うためのインターフェースを装備しているDRAMである。

5 情報処理装置CHIP4 (MS) とのデータ転送を行うためのインターフェースは、非同期型およびクロック同期型のDRAMインターフェースがあり、メモリモジュールMM2にはいずれのインターフェースでも用いることができる。本実施の形態例ではクロック同期型のDRAMインターフェースで、典型的に用いられているSynchronous DRAMのSDRAMインターフェース (SDRAM IF) を例に説明する。

10 CHIP3 (DRAM2) とCHIP1 (FLASH2) とのデータ転送を行うためのインターフェースは、フラッシュメモリインターフェースであり、フラッシュメモリのインターフェースには、ANDインターフェース (AND IF) とNANDインターフェース (NAND IF) があり、本実施の形態例ではどちらも用いることができる。本実施の形態例では、CHIP3 (DRAM) とCHIP1 (FLASH2) とのデータ転送を行うためのインターフェースはNANDインターフェースとして説明を行う。

次にCHIP3 (DRAM2) の構成を説明する。CHIP3 (DRAM2) は、データを保持するメモリバンク (B0, B1, B2, B3) と、このメモリバンクへのデータの読み出し、書き込みを制御する制御回路DCTL2から構成される。制御回路DCTL2は、コマンド・デコーダCDEC、アクセス調停回路ARB、メモリマネージメント回路DMU、初期化回路INT、リフレッシュ制御回路REF、データバッファBUF、コントロールレジスタDREG、モードレジスタMR、拡張モードレジスタEMR、フラッシュ制御回路DFCONから構成される。

メモリマネージメント回路DMUによって、CHIP1 (FLASH2) は、特に限定しないが、初期プログラム領域とメインデータ領域とに分けられており、CHIP3 (DRAM2) は、
25 特に制限はないが、ワーク領域とコピー領域とに分かれており、ワーク領域はプログラム実行時のワークメモリとして、コピー領域はFLASHからのデータをコピーするためのメモリとして利用される様に管理されている。CHIP3 (DRAM2) のメモリバンクB0とB1をコピー領域にB2とB3をワーク領域として割り当てることもで

きる。

CHIP2 (CTL__LOGIC2) は、SRAM、コントロールレジスタSREG、フラッシュ制御回路SFCON、メモリマネージメント回路SMUから構成され、CHIP1 (FLASH2) とのデータ転送を制御する。

- 5 メモリマネージメント回路SMUによって、SRAMは、特に制限はないが、ブート領域とバッファ領域とに分けられており、ブート領域は、情報処理装置CHIP4 (MS) を立ち上げるためのブートデータの格納用として、バッファ領域はCHIP1 (FLASH 2) とSRAM間のデータ転送を行うためのバッファメモリとして利用されるように管理されている。

- 10 また、CHIP1 (FLASH2) とCHIP2 (CTL__LOGIC2) 間のデータ転送はNANDインターフェース (NAND IF) で行われ、情報処理装置CHIP4 (MS) とのデータ転送はSRAMインターフェース (SRAM IF) で行われる。

- 15 情報処理装置CHIP4 (MS) は中央演算装置CPUとSRAMコントローラSRCとDRAMコントローラSDCとから構成される。SRAMコントローラSRCはSRAMインターフェース (SRAM IF) でCHIP2 (CTL__LOGIC2) のSRAMへアクセスを行い、データの読み書きを行う。DRAMコントローラSDCはSDRAMインターフェース (SDRAM IF) でCHIP3 (DRAM2) へ直接アクセスを行いデータの読み書きを行う。

- 20 このように、本実施の形態例では、CHIP1 (FLASH2) は、エラー検出訂正回路ECC、代替処理回路REPを内臓するため、データ読み出し時のエラー検出とエラー訂正を高速で行うことができ、また、データ書き込み時のアドレス代替処理も高速に行うことができるので、データ転送の高速化が図れる。

- 25 さらに、CHIP3 (DRAM2) は、SDRAMインターフェース (SDRAM IF) とNANDインターフェース (NAND IF) を装備し、NANDインターフェースは (NAND IF) で直接CHIP1 (FLASH2) へ接続でき、また、SDRAMインターフェース (SDRAM IF) は直接、情報処理装置CHIP4 (MS) へ接続できるため、より高速にデータを読み出すことができる。

次に、本実施の形態例の動作を説明する。

電源が投入されると、CHIP1 (FLASH2)、CHIP2 (CTL__LOGIC2) およびCHIP3 (DRA

M2)は、それぞれ自らを初期状態に設定する。

次に、フラッシュ制御回路SFCONは、CHIP1 (FLASH2)の初期プログラム領域のデータを読み出しSRAMのブート領域へ転送する。

CHIP1 (FLASH2) は、データの読み出し時には、内蔵されたエラー検出訂正回路ECCによって高速に、データのエラー検出とエラー訂正が行われる。

情報処理装置CHIP4 (MS)は、SRAMのブート領域へ格納されたブートデータを読み出して、自らの立ち上げを行う。

また、初期化回路INTは、CHIP3 (DRAM2)の初期化シーケンスとして、モードレジスタMR、拡張モードレジスタEMRへ所望の値を設定する。

10 情報処理装置CHIP4 (MS)が自らの立ち上げを行っている間、フラッシュ制御回路SCONが、転送終了信号TCを通じてCHIP3 (DRAM2)へSRAMのブート領域への転送が終了したことを伝える。その後、CHIP3 (DRAM2)のフラッシュ制御回路DFCONはCHIP 1 (FLASH2)のメインデータ領域のデータを順に読み出し、データバッファBUFへ転送する。コマンド・デコーダCDECはデータバッファBUFに保持されているデータを順にコピー領域に割り当てられているメモリバンク 0 (B0)へ転送する。データ転送が開始されると、リフレッシュ制御回路はメモリバンクに転送されたデータを保持するため、リフレッシュ動作を行う。

情報処理装置CHIP4 (MS)より、SRAMインターフェース (SRRAM IF) から、CHIP2 (CTL_LOGIC2)のコントロールレジスタSREGへロード命令が書き込まれると、CHIP1 (FLASH2)のメインデータ領域のデータが、SRAMのバッファ領域へ転送される。また、ストア命令がコントロールレジスタSREGへ書き込まれると、SRAMのバッファ領域のデータがCHIP1 (FLASH2)のメインデータ領域へ転送される。CHIP1 (FLASH2)への、データの書き込み時には、内蔵されたアドレス代替処理回路REPによって、高速に、書き込みが成功したかどうかチェックされ、成功すれば書き込みを終了し、書き込みが失敗した時には、FLASHの代替領域FREP内のアドレスを選択し、データを書き込む。

情報処理装置CHIP4 (MS)より、SDRAMインターフェース (SDRRAM IF) から、CHIP3 (DRAM)のコントロールレジスタDREGへロード命令が書き込まれると、CHIP1

(FLASH2) のメインデータ領域のデータが、直接、CHIP3 (DRAM2) のコピー領域へ転送される。またストア命令がコントロールレジスタDREGへ書き込まれると、CHIP3 (DRAM2) のコピー領域のデータが直接、CHIP1 (FLASH2) のメインデータ領域へ書き込まれる。

- 5 情報処理装置CHIP4 (MS) より、SDRAMインターフェース (SDRRAM IF) で、CHIP3 (DRAM2) のメモリバンク 0 (B0) に保持されているCHIP1 (FLASH2) データの読み出し命令とアドレスを入力すると、アクセス調停回路ARBは、情報処理装置CHIP4 (MS) からの読み出し命令を常に優先させ、ロード命令やストア命令によって、CHIP1 (FLASH2) とCHIP3 (DRAM2) との間にデータ転送が発生していれば、
10 これを停止する。その後、コマンド・デコーダーCDECは、この読み出し命令を解読し、メモリバンク 0 (B0) からデータを読み出し、SDRAMインターフェースを通じて出力する。

- 15 また、本メモリモジュールMM2のCHIP1 (FLASH2) とCHIP3 (DRAM2) とのデータ転送にAND インターフェース (AND) を用いた場合においても本メモリモジュールを実現できるのは言うまでもない。

このように、本実施の形態例では、CHIP1 (FLASH2) は、エラー検出訂正回路EC、代替処理回路REPを内臓するため、データ読み出し時のエラー検出とエラー訂正を高速で行うことができ、また、データ書き込み時のアドレス代替処理も高速に行うことができるので、データ転送の高速化が図れる。

- 20 さらに、CHIP3 (DRAM2) は、SDRAMインターフェース (SDRAM IF) とNANDインターフェース (NAND IF) を装備し、NANDインターフェースは (NAND IF) で直接CHIP1 (FLASH2) へ接続でき、また、SDRAMインターフェース (SDRAM IF) は直接、情報処理装置CHIP4 (MS) へ接続できるため、より高速にデータを読み出すことができる。

- 25 図19は、本メモリモジュールMM2を構成する図18に示したCHIP1 (FLASH2) として用いるフラッシュメモリの一例を示すブロック図である。

コントロール信号バッファCSB、リード/プログラム/消去制御回路RPEC、セクターアドレスバッファSABUF、XデコーダーX-DEC、マルチプレクス回路MLP、Yア

ドレスカウンタYAC、データ入力バッファDIBUF、入力データ制御回路IDC、データ出力バッファDOBUF、YデコーダーY-DEC、Yゲート回路Y-GT、データレジスタDTREG、メモリアレイMAから構成されている。

図20に、CHIP1 (FLASH2) のフラッシュメモリからのデータ読み出し動作を示す。チップイネーブル信号F-/CEがLOWに、コマンドラッチイネーブル信号F-CLEがHighになり、ライトイネーブル信号F-/WEが立ち上がった時、入出力信号F-I01 ~ F-I08より読み出し命令の命令コードRcodeを入力する。その後、アドレスラッチイネーブル信号F-ALEがHighとなり、ライトイネーブル信号F-/WEの立ち上がりエッジで、入出力信号F-I01 ~ F-I08よりアドレス (CA1、CA2、SA1、SA2) を入力する。CA1とCA2によりスタートアドレスが指定され、SA1とSA2によりセクタアドレスが指定される。

入力したセクターアドレスに対応する1セクタ分のデータがメモリアレイMAからデータレジスタDTREGに転送される。データがメモリアレイMAからデータレジスタDTREGに転送されている間は、フラッシュメモリはビジーとなり、レディ・ビジー回路R/Bは、レディ/ビジィ信号F-R/BをLowにする。データレジスタDTREGへのデータ転送が終了したら、リードイネーブル信号F-/REに同期して、データレジスタDTREG内のデータが、入力したスタートアドレスから順に16ビットずつ読み出され、入出力信号F-I01 ~ F-I016より出力される。

<実施の形態例4>

図21は本発明を適用した第4の実施形態である。メモリモジュールMM3と情報処理装置CHIP4(MS)とから構成される情報処理装置の実施形態を示したものである。以下におのおのについて説明する。

メモリモジュールMM3はCHIP1 (FLASH3) とCHIP3 (DRAM3) とから構成される。CHIP1 (FLASH3) は、不揮発性メモリであり、特に限定しないが、NANDインターフェースを(NAND IF)装備している大容量フラッシュメモリである。

CHIP1 (FLASH3) は、データを保持する不揮発性メモリアレイMA、不揮発性メモリアレイMAからSRAMへのデータ転送を制御する転送制御回路FCTL3、エラー検出訂正回路ECC、代替処理回路REP、SRAM、コントロールレジスタSREG、メモリマ

ネージメント回路SMUから構成される。

メモリマネージメント回路SMUによって、SRAMは、特に制限はないが、ブート領域とバッファ領域とに分けられており、ブート領域は、情報処理装置CHIP4 (MS) を立ち上げるためのブートデータの格納用として、バッファ領域はCHIP1 (FLASH3) の不揮発性メモリアレイMAとSRAM間のデータ転送を行うためのバッファメモリとして利用されるように管理されている。

メモリアレイMAの構成には、主にNAND構成とAND構成があり、どちらの構成も用いることができる。

CHIP3 (DRAM3) は、CHIP1 (FLASH3) とデータ転送を行うためのインターフェースと情報処理装置CHIP4 (MS) とのデータ転送を行うためのインターフェースを装備しているDRAMである。

情報処理装置CHIP4 (MS) とのデータ転送を行うためのインターフェースは、非同期型およびクロック同期型のDRAMインターフェースがあり、メモリモジュールMM2にはいずれのインターフェースでも用いることができる。本実施の形態例ではクロック同期型のDRAMインターフェースで、典型的に用いられているSynchronous DRAMのSDRAMインターフェース (SDRAM IF) を例に説明する。

CHIP3 (DRAM3) とCHIP1 (FLASH3) とのデータ転送を行うためのインターフェースは、フラッシュメモリインターフェースであり、フラッシュメモリのインターフェースには、ANDインターフェース (AND IF) とNANDインターフェース (NAND IF) があり、本実施の形態例ではどちらも用いることができる。本実施の形態例では、CHIP3 (DRAM3) とCHIP1 (FLASH3) とのデータ転送を行うためのインターフェースはNANDインターフェースとして説明を行う。

次にCHIP3 (DRAM3) の構成を説明する。CHIP3 (DRAM3) は、データを保持するメモリバンク (B0, B1, B2, B3) と、このメモリバンクへのデータの読み出し、書き込みを制御する制御回路DCTL3から構成される。制御回路DCTL3は、コマンド・デコーダCDEC、アクセス調停回路ARB、メモリマネージメント回路DMU、初期化回路INT、リフレッシュ制御回路REF、データバッファBUF、コントロールレジスタDREG、モードレジスタMR、拡張モードレジスタEMR、フラッシュ制御回路DFC

ONから構成される。

メモリマネージメント回路DMUによって、CHIP1 (FLASH3) は、特に限定しないが、初期プログラム領域とメインデータ領域とに分けられており、CHIP3 (DRAM3) は、特に制限はないが、ワーク領域とコピー領域とに分かれており、ワーク領域はプログラム実行時のワークメモリとして、コピー領域はCHIP1 (FLASH3) からのデータをコピーするためのメモリとして利用される様に管理されている。 CHIP3 (DRAM3) のメモリバンクB0とB1をコピー領域にB2とB3をワーク領域として割り当てることができる。

10 情報処理装置CHIP4 (MS) は中央演算装置CPUとSRAMコントローラSRCとDRAMコントローラSDCとから構成される。SRAMコントローラはSRAMインターフェース (SRAM IF) でCHIP1 (FLASH3) のSRAMへアクセスを行い、データの読み書きを行う。DRAMコントローラはSDRAMインターフェース (SDRAM IF) でCHIP3 (DRAM3) へ直接アクセスを行いデータの読み書きを行う。

15 このように、本実施の形態例では、CHIP1 (FLASH3) はSRAM、エラー検出訂正回路ECC、代替処理回路REPを内臓するため、不揮発性メモリアレイとSRAM間のデータ転送を高速に行える。

20 CHIP3 (DRAM3) は、SDRAMインターフェース (SDRAM IF) とNANDインターフェース (NAND IF) を装備し、NANDインターフェースは (NAND IF) で直接CHIP1 (FLASH2) へ接続でき、また、SDRAMインターフェース (SDRAM IF) は直接、情報処理装置CHIP4 (MS) へ接続できるため、より高速にデータを読み出すことができる。

さらに、本メモリシステムを実現するためチップ数を削減できるため、低電力化、低コスト化が可能となる。

次に、本実施の形態例の動作を説明する。

25 電源が投入されると、CHIP1 (FLASH3) およびCHIP3 (DRAM3) は、それぞれ自らを初期状態に設定する。

次に、転送制御回路FCTL3は、不揮発性メモリアレイMAの初期プログラム領域のデータを読み出しSRAMのブート領域へ転送する。

CHIP1 (FLASH3) の不揮発性メモリアレイMAからのデータの読み出し時には、

内蔵されたエラー検出訂正回路ECCによって高速に、データのエラー検出とエラー訂正が行われる。

情報処理装置CHIP4(MS)は、SRAMのブート領域へ格納されたブートデータを読み出して、自らの立ち上げを行う。

- 5 また、初期化回路INTは、CHIP3(DRAM3)の初期化シーケンスとして、モードレジスタMR、拡張モードレジスタEMRへ所望の値を設定する。

情報処理装置CHIP4(MS)が自らの立ち上げを行っている間、転送制御回路FCTL3が、転送終了信号TCを通じてSRAMのブート領域への転送が終了したことを伝える。その後、CHIP3(DRAM3)のフラッシュ制御回路DFCONは、転送制御回路FCTL3を介して不揮発性メモリアレイMAのメインデータ領域のデータを順に読み出し、データバッファBUFへ転送する。コマンド・デコーダーCDECはデータバッファBUFに保持されているデータを順にコピー領域に割り当てられているメモリバンク0(B0)へ転送する。データ転送が開始されると、リフレッシュ制御回路はメモリバンクに転送されたデータを保持するため、リフレッシュ動作を行う。

10

- 15 情報処理装置CHIP4(MS)より、SRAMインターフェース(SRRAM IF)から、CHIP1(FLASH3)のコントロールレジスタSREGへロード命令が書き込まれると、不揮発性メモリアレイMAに保持されているメインデータ領域のデータが、SRAMのバッファ領域へ転送される。また、ストア命令がコントロールレジスタSREGへ書き込まれると、SRAMのバッファ領域のデータが不揮発性メモリアレイMAのメインデータ領域へ転送される。
- 20

不揮発性メモリアレイMAへの、データの書き込み時には、内蔵されたアドレス代替処理回路REPによって、高速に、書き込みが成功したかどうかチェックされ、成功すれば書き込みを終了し、書き込みが失敗した時には、CHIP1(FLASH3)の代替領域FREP内のアドレスを選択し、データを書き込む。

- 25 情報処理装置CHIP4(MS)より、SDRAMインターフェース(SDRAM IF)から、CHIP3(DRAM)のコントロールレジスタDREGへロード命令が書き込まれると、CHIP1(FLASH3)のメインデータ領域のデータが、直接、CHIP3(DRAM3)のコピー領域へ転送される。またストア命令がコントロールレジスタDREGへ書き込まれると、

CHIP3 (DRAM3) のコピー領域のデータが直接、CHIP1 (FLASH3) のメインデータ領域へ書き込まれる。

5 情報処理装置CHIP4 (MS) より、SDRAMインターフェース (SDRAM IF) で、CHIP3 (DRAM3) のメモリバンク 0 (B0) に保持されているCHIP1 (FLASH3) データの読み出し命令とアドレスを入力すると、アクセス調停回路ARBは、情報処理装置CHIP4 (MS) からの読み出し命令を常に優先させ、ロード命令やストア命令によって、CHIP1 (FLASH3) とCHIP3 (DRAM3) との間にデータ転送が発生していれば、これを停止する。その後、コマンド・デコーダCDECは、この読み出し命令を解読し、メモリバンク 0 (B0) からデータを読み出し、SDRAMインターフェースを通じて
10 出力する。

また、本メモリモジュールMM3のCHIP1 (FLASH3) とCHIP3 (DRAM3) とのデータ転送にANDインターフェース (AND IF) を用いた場合においても、本メモリモジュールを実現できるのは言うまでもない。

15 このように、本実施の形態例では、CHIP1 (FLASH3) はSRAM、エラー検出訂正回路ECC、代替処理回路REPを内臓するため、不揮発性メモリアレイとSRAM間のデータ転送を高速に行える。

CHIP3 (DRAM3) は、SDRAMインターフェース (SDRAM IF) とNANDインターフェース (NAND IF) を装備し、NANDインターフェースは (NAND IF) で直接CHIP1 (FLASH3) へ接続でき、また、SDRAMインターフェース (SDRAM IF) は直接、情報処理
20 装置CHIP4 (MS) へ接続できるため、より高速にデータを読み出すことができる。

さらに、本メモリシステムを実現するためのチップ数を削減できるため、低電力化、低コスト化が可能となる。

<実施の形態例 5>

25 図 2 2 は本発明を適用した第 5 の実施形態である。メモリモジュールMM3と情報処理装置CHIP4 (MS) とから構成される情報処理装置の実施形態を示したものである。以下におのおのについて説明する。

メモリモジュールMM3はCHIP1 (FLASH4) とCHIP3 (DRAM4) とから構成される。CHIP1 (FLASH4) は、不揮発性メモリであり、特に限定しないが、NANDインター

フェースを(NAND IF)装備している大容量フラッシュメモリである。

CHIP1 (FLASH4) は、データを保持する不揮発性メモリアレイMA、転送制御回路FCTL4、エラー検出訂正回路ECC、代替処理回路REPから構成される。

メモリアレイMAの構成には、主にNAND構成とAND構成があり、どちらの構成も
5 用いることができる。

CHIP3 (DRAM4) は、CHIP1 (FLASH4) とデータ転送を行うためのインターフェースと情報処理装置CHIP4 (MS) とのデータ転送を行うためのインターフェースを装備しているDRAMである。

情報処理装置CHIP4 (MS) とのデータ転送を行うためのインターフェースは、非
10 同期型およびクロック同期型のDRAMインターフェースがあり、メモリモジュールMM4にはいずれのインターフェースでも用いることができる。本実施の形態例ではクロック同期型のDRAMインターフェースで、典型的に用いられているSynchronous DRAMのSDRAMインターフェース (SDRAM IF) を例に説明する。

CHIP3 (DRAM4) とCHIP1 (FLASH4) とのデータ転送を行うためのインターフェースは、フラッシュメモリインターフェースであり、フラッシュメモリのインターフェースには、ANDインターフェース (AND IF) とNANDインターフェース (NAND IF) があり、本実施の形態例ではどちらも用いることができる。本実施の形態例では、CHIP3 (DRAM4) とCHIP1 (FLASH4) とのデータ転送を行うためのインターフェースはNANDインターフェースとして説明を行う。
15

次にCHIP3 (DRAM4) の構成を説明する。CHIP3 (DRAM4) は、データを保持するメモリバンク (B0, B1, B2, B3) と、このメモリバンクへのデータの読み出し、書き込みを制御する制御回路DCTL4から構成される。制御回路DCTL4は、コマンド・デコーダCDEC、アクセス調停回路ARB、メモリマネージメント回路DMU、初期化回路INT、リフレッシュ制御回路REF、データバッファBUF、コントロールレジスタDREG、モードレジスタMR、拡張モードレジスタEMR、フラッシュ制御回路DFCON、S
25 RAMから構成される。

メモリマネージメント回路DMUによって、CHIP1 (FLASH4) は、特に限定しないが、初期プログラム領域とメインデータ領域とに分けられており、CHIP3 (DRAM4) は、

特に制限はないが、ワーク領域とコピー領域とに分かれており、ワーク領域はプログラム実行時のワークメモリとして、コピー領域はFLASHからのデータをコピーするためのメモリとして利用される様に管理されている。CHIP3 (DRAM4) のメモリバンクB0とB1をコピー領域にB2とB3をワーク領域として割り当てることも
5 できる。

さらに、SRAMはブート領域とバッファ領域とに分けられており、ブート領域は、情報処理装置CHIP4 (MS) を立ち上げるためのブートデータの格納用として、バッファ領域はCHIP1 (FLASH4) の不揮発性メモリアレイMAとSRAM間のデータ転送を行うためのバッファメモリとして利用されるように管理されている。

10 情報処理装置CHIP4 (MS) は中央演算装置CPUとSRAMコントローラSRCとDRAMコントローラSDCとから構成される。DRAMコントローラはSDRAMインターフェース (SDRAM IF) でCHIP3 (DRAM4) のSRAMおよびメモリバンク (B0, B1, B2, B3) へアクセスを行いデータの読み書きを行う。

15 このように、本実施の形態例では、CHIP1 (FLASH4) は、エラー検出訂正回路ECC、代替処理回路REPを内臓するため、データ読み出し時のエラー検出とエラー訂正を高速で行うことができ、また、データ書き込み時のアドレス代替処理も高速に行うことができるので、データ転送の高速化が図れる。

20 CHIP3 (DRAM4) は、SDRAMインターフェース (SDRAM IF) とNANDインターフェース (NAND IF) を装備し、NANDインターフェースは (NAND IF) で直接CHIP1 (FLASH4) へ接続でき、また、SDRAMインターフェース (SDRAM IF) は直接、情報処理装置CHIP4 (MS) へ接続できるため、より高速にデータを読み出すことができる。

本メモリシステムを実現するためのチップ数を削減できるため、低電力化、低コスト化が可能となる。

25 さらに、SDRAMインターフェースのみで、本メモリシステムは動作するため、情報処理装置CHIP4 (MS) との接続端子を少なくでき、更なる低電力化、低コスト化が可能である。

次に、本実施の形態例の動作を説明する。

電源が投入されると、CHIP1 (FLASH4) およびCHIP3 (DRAM4) は、それぞれ自らを

初期状態に設定する。

次に、フラッシュ制御回路DFCONは、不揮発性メモリアレイMAの初期プログラム領域のデータを読み出しSRAMのブート領域へ転送する。

5 CHIP1 (FLASH4) の不揮発性メモリアレイMAからのデータの読み出し時には、内蔵されたエラー検出訂正回路ECCによって高速に、データのエラー検出とエラー訂正が行われる。

情報処理装置CHIP4 (MS) は、SDRAMインターフェース (SDRAM IF) でSRAMのブート領域へ格納されたブートデータを読み出して、自らの立ち上げを行う。

10 また、初期化回路INTは、CHIP3 (DRAM4) の初期化シーケンスとして、モードレジスタMR、拡張モードレジスタEMRへ所望の値を設定する。

次に、CHIP3 (DRAM4) のフラッシュ制御回路DFCONは、転送制御回路FCTL4を介して不揮発性メモリアレイMAのメインデータ領域のデータを順に読み出し、データバッファBUFへ転送する。コマンド・デコーダーCDECはデータバッファBUFに保持されているデータを順にコピー領域に割り当てられているメモリバンク0 (B0) 15 へ転送する。データ転送が開始されると、リフレッシュ制御回路REFはメモリバンク0 (B0) に転送されたデータを保持するため、リフレッシュ動作を行う。

情報処理装置CHIP4 (MS) より、SDRAMインターフェース (SDRAM IF) から、CHIP 1 (FLASH4) のコントロールレジスタSREGへロード命令が書き込まれると、不揮発性メモリアレイMAに保持されているメインデータ領域のデータが、SRAMのバッファ領域へ転送される。また、ストア命令がコントロールレジスタSREGへ書き 20 込まれると、SRAMのバッファ領域のデータが不揮発性メモリアレイMAのメインデータ領域へ転送される。

不揮発性メモリアレイMAへの、データの書き込み時には、内蔵されたアドレス代替処理回路REPによって、高速に、書き込みが成功したかどうかチェックされ、成功すれば書き込みを終了し、書き込みが失敗した時には、CHIP1 (FLASH4) 25 の代替領域FREP内のアドレスを選択し、データを書き込む。

情報処理装置CHIP4 (MS) より、SDRAMインターフェース (SDRAM IF) から、CHIP3 (DRAM4) のコントロールレジスタDREGへロード命令が書き込まれると、CHIP1

(FLASH4) のメインデータ領域のデータがCHIP3 (DRAM4) のコピー領域へ転送される。またストア命令がコントロールレジスタDREGへ書き込まれると、CHIP3 (DRAM4) のコピー領域のデータが直接、CHIP1 (FLASH4) のメインデータ領域へ書き込まれる。

- 5 情報処理装置CHIP4 (MS) より、SDRAMインターフェース (SDRAM IF) で、CHIP3 (DRAM4) のメモリバンク 0 (B0) に保持されているCHIP1 (FLASH4) データの読み出し命令とアドレスを入力すると、アクセス調停回路ARBは、情報処理装置CHIP4 (MS) からの読み出し命令を常に優先させ、ロード命令やストア命令によって、CHIP1 (FLASH4) とCHIP3 (DRAM4) との間にデータ転送が発生していれば、これ
10 を停止する。その後、コマンド・デコーダーCDECは、この読み出し命令を解読し、メモリバンク 0 (B0) からデータを読み出し、SDRAMインターフェースを通じて出力する。

- また、本メモリモジュールMM4のCHIP1 (FLASH4) とCHIP3 (DRAM4) とのデータ転送にANDインターフェース (AND IF) を用いた場合においても、本メモリモジュールを実現できるのは言うまでもない。
15

このように、本実施の形態例では、CHIP1 (FLASH4) は、エラー検出訂正回路ECC、代替処理回路REPを内臓するため、データ読み出し時のエラー検出とエラー訂正を高速で行うことができ、また、データ書き込み時のアドレス代替処理も高速に行うことができるので、データ転送の高速化が図れる。

- 20 CHIP3 (DRAM2) は、SDRAMインターフェース (SDRAM IF) とNANDインターフェース (NAND IF) を装備し、NANDインターフェースは (NAND IF) で直接CHIP1 (FLASH4) へ接続でき、また、SDRAMインターフェース (SDRAM IF) は直接、情報処理装置CHIP4 (MS) へ接続できるため、より高速にデータを読み出すことができる。

- 本メモリシステムを実現するためのチップ数を削減できるため、低電力化、低
25 コスト化が可能となる。

さらに、SDRAMインターフェースのみで、本メモリシステムは動作するため、情報処理装置CHIP4 (MS) との接続端子を少なくでき、更なる低電力化、低コスト化が可能である。

図 2 3 は、本実施例での、メモリマネージメント回路DMUによるメモリマップの一例を示したものである。本実施の形態例では、特に限定されないが、不揮発メモリの記憶領域が128Mbit+4Mbit (4Mbitは代替領域)、DRAMの記憶領域が256 Mbit、SRAMが8 k bit、コントロールレジスタSREGおよびDREGのそれぞれが1kbit
5 であるメモリモジュールを例に代表的なメモリマップを説明する。

SDRAMインターフェース (SDRAM IF) から入力したアドレスを元に、メモリマネージメント回路DMUは、コントロールレジスタDREG (1kb)、DRAMのワーク領域WK (128Mbit)、DRAMのコピー領域CP (128Mbit)、コントロールレジスタSREG、SRAM、FLASHの (128Mbit) へのアドレスを変換したメモリマップを示す。

10 特に制限はないが、メモリマップのアドレス空間の下部から、SRAM、コントロールレジスタSREG、DRAMのバンク 0 (BANK0)、バンク 1 (BANK1)、バンク 2 (BANK2)、バンク 3 (BANK3)、コントロールレジスタDREGがマッピングされている。

SRAMは、ブート領域SBootとバッファ領域SBUFに分かれている。

15 DRAMのバンク 0 (BANK0) 及びバンク 1 (BANK1) はコピー領域CPに、バンク 2 (BANK2) 及びバンク 3 (BANK3) はワーク領域WKにマッピングされている。コピー領域CPは、FLASHのデータが転送され保持される領域である。ワーク領域WKは、ワークメモリとして利用される領域である。また、バンク 1 (BANK1) のコピー領域CPには初期自動転送領域CIPが含まれている。

20 FLASHは、メインデータ領域FM、初期プログラム領域Fbootおよび代替領域FREPとに分かれている。また、FLASHのメインデータ領域FMには、電源投入時にDRAMへ自動転送される初期自動転送領域IPが含まれている。

FLASHのメインデータ領域FMには、プログラムやデータが格納されている。また、FLASHは書き換えを繰り返すことによって、信頼性が低下し、書き込み時に
25 書いたデータが、読み出し時には異なるデータとなったり、書き換え時にデータが書き込まれなかったりすることが稀にある。代替領域FREPはこのように不良となった初期プログラム領域Fbootやメインデータ領域FMのデータを、新たな領域へ置き換えるために設けられている。代替領域の大きさは、特に限定しないが、

FLASHが保証する信頼性が確保できるように決めると良い。

電源投入後、先ず、FLASHの初期プログラム領域FBoot内のデータはSRAMのブート領域SBootへ転送される。情報処理回路CHIP4(MS)は、SDRAMインターフェース(SDRAM IF)でSRAMのブート領域SBootのデータを読み出し、自らを立ち上げる。

- 5 次に、FLASHの初期自動転送領域IPのデータはDRAMの初期自動転送領域CIPへ転送される。

ロード命令 (Load) によるFLASHからDRAMへのデータ転送を説明する。

- SDRAMインターフェース (SDRAM IF) から、コントロールレジスタDREGにロード命令が書きこまれると、メモリマネージメント回路MUが設定したメモリマップ
10 に従い、FLASHのメインデータ領域のデータがDRAMのコピー領域へ転送される。

ストア命令 (Store) によるDRAMからFLASHへのデータ転送を説明する。

SDRAMインターフェース (SDRAM IF) から、コントロールレジスタDREGにストア命令が書きこまれると、メモリマネージメント回路MUが設定したメモリマップに従い、DRAMのコピー領域のデータがFLASHのメインデータ領域へ転送される。

- 15 次に、DRAMからのデータの読み出しについて説明する。

SDRAMインターフェースからDRAMのバンク 0 (BANK0) 内のアドレスとリード命令が入力されると、DRAMのバンク 0 (BANK0) 内のアドレスを選択し、データを読み出すことができる。つまり、FLASHのデータをDRAMと同じ速度で読み出すことができる。他のバンク (バンク 1、バンク 2、バンク 3) についても同様にデータを読み出すことができる。
20

次に、DRAMへのデータの書きこみについて説明する。

- SDRAMインターフェースから DRAMのバンク 1 (BANK1) 内のアドレスと書き込み命令が入力されると、DRAMのバンク 1 (BANK1) 内のアドレスを選択し、データを書きこむことができる。つまり、FLASHのデータをDRAMと同じ速度で書きこむことができる。他のバンク (バンク 3、バンク 2、バンク 0) についても同様にデータを書きこむことができる。
25

ロード命令 (SLoad) によるFLASHからSRAMへのデータ転送を説明する。

SDRAMインターフェース (SDRAM IF) から、コントロールレジスタSREGにロー

ド命令 (SLoad) が書きこまれると、メモリマネージメント回路DMUが設定したメモリマップに従い、FLASHのデータがSRAMのバッファ領域へ転送される。

ストア命令 (SStore) によるSRAMからFLASHへのデータ転送を説明する。

- 5 SDRAMインターフェース (SDRAM IF) から、コントロールレジスタSREGにストア命令が書きこまれると、メモリマネージメント回路DMUが設定したメモリマップに従い、SRAMのバッファ領域のデータがFLASHへ転送される。

次に、SRAMからのデータの読み出しについて説明する。

SDRAMインターフェースから、SRAMを選択するアドレスとリード命令が入力されると、SRAMを選択し、データを読み出すことができる。

- 10 次に、SRAMへのデータの書きこみについて説明する。

SDRAMインターフェースからSRAMを選択するアドレスと書き込み命令が入力されると、SRAMを選択し、データを書き込むことができる。

このように、すべてのデータ転送は、SDRAMインターフェース (SDRAM IF) によって行われる。

15 <実施の形態例 6 >

図 2 4 は本発明を適用した第 6 の実施形態である。メモリモジュールMM5 と情報処理装置CHIP4 (MS) とから構成されるメモリシステムの実施形態を示したものである。以下におのおのについて説明する。

- 20 メモリモジュールMM5はCHIP1 (FLASH4) とCHIP2 (DRAM4) 、CHIP3 (DRAM4) とから構成される。CHIP1 (FLASH4) は、図 2 2 で説明した不揮発性メモリと同様のメモリであり、NANDインターフェースを (NAND IF) 装備している。

CHIP2 (DRAM4) とCHIP3 (DRAM4) は、まったく同じDRAMであり、図 2 2 で説明したDRAMに、マスター選択信号MSLを付加したDRAMである。DFCONはCHIP1 (FLASH4) とのデータ転送を制御するフラッシュ制御回路である。

- 25 本メモリモジュールMM5はDRAMの記憶容量を増やす目的でDRAMを 2 チップ用いている実施例である。

CHIP2 (DRAM4) およびCHIP3 (DRAM4) とCHIP1 (FLASH4) との間のデータ転送はNANDインターフェース (NAND IF) で行われ。また、CHIP2 (DRAM4) およびCHIP3 (DRAM

4)と情報処理装置CHIP4(MS)との間のデータ転送はSDRAMインターフェース (SDRAM IF)で行われる。

マスター選択信号MSLは、CHIP2 (DRAM4) およびCHIP3 (DRAM4)が、主体的にCHIP1 (FLASH4)へアクセスを行うのかどうかを選択する信号である。

- 5 CHIP2 (DRAM4) ではマスター選択信号MSLを電源端子VDDに接続し、主体的にCHIP1 (FLASH4) へアクセスするマスターDRAMとなる。CHIP3 (DRAM4) ではマスター選択信号MSLを接地端子VSS (0V)に接続し、主体的にCHIP1 (FLASH4) へは主体的にアクセスしないスレーブDRAMとなる。

- 10 マスターDRAMとなったCHIP2 (DRAM4)では、フラッシュ制御回路DFCONがCHIP1 (FLASH4) とのデータ転送のために制御信号を発生する。

スレーブDRAMとなったCHIP2 (DRAM4)では、CHIP2 (DRAM4)内のフラッシュ制御回路DFCONはCHIP1 (FLASH4) とのデータ転送のために制御信号やデータを発生せず、CHIP2 (DRAM4)のフラッシュ制御回路DFCONが発生する制御信号を用いて、CHIP1 (FLASH4) とのデータ転送を行う。

- 15 フラッシュメモリへ主体的にアクセスするマスターDRAMが複数あると、フラッシュメモリへの制御信号が競合状態となり、フラッシュメモリとDRAMとの間のデータ転送がうまくいかず、複数のDRAMチップを用いて記憶容量を増大することが困難となる。本実施の形態によれば、マスター選択信号MSLを設けることによって、マスターDRAMとスレーブDRAMを選択でき、複数のDRAMチップを用いて記憶容量を増大することができるため、携帯機器の要求に柔軟に対応できる。
- 20

<実施の形態例7>

図25は本発明における第7の実施の形態例を示したものである。図25 (a)は上面図であり、図25 (b)は上面図に示したA-A'線に沿った部分の断面図である。

- 25 本実施の形態のマルチチップ・モジュールは、ボールグリッドアレイ(BGA)によって装置に実装する基盤(例えばガラスエポキシ基板でできたプリント回路ボード)PCB上に、CHIPM1、CHIPM2が搭載されている。CHIPM1は不揮発性メモリで、CHIPM2はDRAMである。本マルチチップ・モジュールにより、図21で示すメモリ

モジュールMM3および、図22で示すメモリモジュールMM4を1つの封止体に集積できる。

CHIPM1と基盤PCB上のボンディングパットはボンディングワイヤ(PATH2)で接続され、CHIPM2と基盤PCB上のボンディングパットはボンディングワイヤ(PATH1)で接続されている。CHIPM1とCHIPM2はボンディングワイヤ(PATH3)で接続される。

チップの搭載された基盤PCBの上面は樹脂モールドが行われて各チップと接続配線を保護する。なお、さらにその上から金属、セラミック、あるいは樹脂のカバー(COVER)を使用しても良い。

本実施の形態例ではプリント回路ボードPCB上にベアチップを直接搭載するため、実装面積の小さなメモリモジュールを構成することができる。また、各チップを積層することができるため、チップと基盤PCB間の配線長を短くすることができ、実装面積を小さくすることができる。チップ間の配線及び各チップと基盤間の配線をボンディングワイヤ方式で統一することによって少ない工程数でメモリモジュールを製造することができる。

さらにチップ間をボンディングワイヤで直接配線することによって基盤上のボンディングパット数とボンディングワイヤの本数を削減して少ない工程数でメモリモジュールを製造することができる。樹脂のカバーを使用した場合には、より強靱なメモリモジュールを構成することができる。セラミックや金属のカバーを使用した場合には、強度のほか、放熱性やシールド効果に優れたメモリモジュールを構成することができる。

<実施の形態例8>

図26は本発明における第8の実施の形態例を示したものである。図26(a)は上面図であり、図26(b)は上面図に示したA-A'線に沿った部分の断面図である。

本実施の形態のマルチチップ・モジュールは、ボールグリッドアレイ(BGA)によって装置に実装する基盤(例えばガラスエポキシ基板でできたプリント回路ボード)PCB上に、CHIPM1、CHIPM2、CHIPM3が搭載されている。CHIPM1は不揮発性メモリ、CHIPM2はDRAMである。CHIPM3は、中央演算装置CPUとSRAMコントローラSRC

とDRAMコントローラSDCとから構成される情報処理装置、あるいはCHIP1MとCHIP2Mのデータ転送を制御する制御回路である。

5 本マルチチップ・モジュールにより、図1で示すメモリモジュールMM、図14で示すメモリモジュールMM、図17で示すメモリモジュールMM1、図18で示すメモリモジュールMM2、図21で示すメモリシステム、図22でメモリシスを1つの封止体に集積できる。

CHIPM1と基盤PCB上のボンディングパットはボンディングワイヤ(PATH2)で接続され、CHIPM2と基盤PCB上のボンディングパットはボンディングワイヤ(PATH1)で接続されている。CHIPM1とCHIPM2はボンディングワイヤ(PATH3)で接続される。
10 また、CHIPM3の実装および配線にボールグリッドアレイが用いられている。

本実装方法では3チップを積層することができるので実装面積を小さく保つことができる。さらに、CHIPM3と基盤間とのボンディングは不要となりボンディング配線の本数を削減することができるため組み立て工数を削減できる上、より信頼性の高いマルチチップモジュールが実現できる。

15 <実施の形態例9>

図27は本発明に係るマルチチップ・モジュールの第9の実施の形態例を示したものである。図27(a)は上面図であり、図27(b)は上面図に示したA-A'線に沿った部分の断面図である。

20 本実施の形態のメモリモジュールは、ボールグリッドアレイ(BGA)によって装置に実装する基盤(例えばガラスエポキシ基板でできたプリント回路ボード)PCB上に、CHIPM1、CHIPM2、CHIPM3、CHIPM4が搭載されている。CHIPM1は不揮発性メモリ、CHIPM3はDRAMである。CHIPM2はCHIPM1とCHIPM2のデータ転送を制御する制御回路であり、CHIPM4は中央演算装置CPUとSRAMコントローラSRCとDRAMコントローラSDCとから構成される情報処理装置である。

25 本実装方法では、図1で示すメモリシステム、図14で示すメモリシステムモジュール、図17で示すメモリシステムおよび図18で示すメモリシステムを1つの封止体に集積できる。

CHIPM1と基盤PCB上のボンディングパットはボンディングワイヤ(PATH2)で接続

され、CHIPM2と基盤PCB上のボンディングパットはボンディングワイヤ(PATH4)で接続され、CHIPM3と基盤PCB上のボンディングパットはボンディングワイヤ(PATH1)で接続されている。

CHIPM1とCHIPM3はボンディングワイヤ(PATH3)で接続され、CHIPM2とCHIPM3は
5 ボンディングワイヤ(PATH5)で接続される。

CHIPM4の実装および配線にボールグリッドアレイ(BGA)が用いられている。

本実装方法ではプリント回路ボードPCB上にベアチップを直接搭載するため、実装面積の小さなメモリモジュールを構成することができる。また、各チップを近接して配置することができるため、チップ間配線長を短くすることができる。

10 チップ間をボンディングワイヤで直接配線することによって基盤上のボンディングパット数とボンディングワイヤの本数を削減して少ない工程数でメモリモジュールを製造することができる。

さらに、CHIPM4と基盤間とのボンディングは不要となりボンディング配線の本数を削減することができるため組み立て工数を削減できる上、より信頼性の高い
15 マルチチップモジュールが実現できる。

<実施の形態例10>

図28は本発明に係るメモリシステムの第10の実施の形態例を示したものである。図28(a)は上面図であり、図28(b)は上面図に示したA-A'線に沿った部分の断面図である。

20 本実施の形態のメモリモジュールは、ボールグリッドアレイ(BGA)によって装置に実装する基盤(例えばガラスエポキシ基板でできたプリント回路ボード)PCB上に、CHIPM1、CHIPM2、CHIPM3が搭載されている。CHIPM1は不揮発性メモリ、CHIPM2およびCHIPM3はDRAMである。チップ間の配線及び各チップと基盤間の配線をボンディングワイヤ方式で統一することによって少ない工程数でメモリモジュールを製造することができる。
25

本実装方法では、図24で示すモジュールMM5を1つの封止体に集積できる。

CHIPM1と基盤PCB上のボンディングパットはボンディングワイヤ(PATH2)で接続され、CHIPM2と基盤PCB上のボンディングパットはボンディングワイヤ(PATH1)で

接続され、CHIPM3と基盤PCB上のボンディングパットはボンディングワイヤ(PATH 3)で接続されている。

本実施の形態例ではプリント回路ボードPCB上にベアチップを直接搭載するため、実装面積の小さなメモリモジュールを構成することができる。

- 5 また、各チップを近接して配置することができるため、チップ間配線長を短くすることができる。

各チップと基盤間の配線をボンディングワイヤ方式で統一することによって少ない工程数でメモリモジュールを製造することができる。

<実施の形態例 1 1>

- 10 図 2 9 は本発明に係るメモリシステムの第 1 1 の実施の形態例を示したものである。図 2 9 (a) は上面図であり、図 2 9 (b) は上面図に示した A-A' 線に沿った部分の断面図である。

- 15 本実施の形態のメモリモジュールは、ボールグリッドアレイ(BGA)によって装置に実装する基盤(例えばガラスエポキシ基板でできたプリント回路ボード)PCB上に、CHIPM1、CHIPM2、CHIPM3、CHIPM4が搭載されている。CHIPM1は不揮発性メモリ、CHIPM2およびCHIPM3はDRAMである。CHIPM4は中央演算装置CPUとSRAMコントローラSRCとDRAMコントローラSDCとから構成される情報処理装置である。

本マルチチップ・モジュールでは、図 2 4 で示すメモリシステムを 1 つの封止体に集積できる。

- 20 CHIPM1と基盤PCB上のボンディングパットはボンディングワイヤ(PATH2)で接続され、CHIPM2と基盤PCB上のボンディングパットはボンディングワイヤ(PATH1)で接続され、CHIPM3と基盤PCB上のボンディングパットはボンディングワイヤ(PATH 3)で接続されている。

CHIPM4の実装および配線にボールグリッドアレイ (BGA) が用いられている。

- 25 本実施の形態例ではプリント回路ボードPCB上にベアチップを直接搭載するため、実装面積の小さなメモリモジュールを構成することができる。また、各チップを近接して配置することができるため、チップ間配線長を短くすることができる。CHIPM4と基盤間とのボンディングは不要となりボンディング配線の本数を削

減することができるため組み立て工数を削減できる上、より信頼性の高いマルチチップモジュールが実現できる。

<実施の形態例12>

図30に、本発明に係るメモリモジュールを利用した携帯電話機の第12の実施の形態例を示す。携帯電話は、アンテナANT、無線ブロックRF、ベースバンドブロックBB、音声コーデックブロックSP、スピーカーSK、マイクロホンMK、プロセッサCPU、液晶表示部LCD、キーボードKEYおよび本発明のメモリモジュールMEMで構成される。

通話時の動作を説明する。

10 アンテナANTを通して受信された音声は無線ブロックRFで増幅され、ベースバンドブロックBBへ入力される。ベースバンドブロックBBでは、音声のアナログ信号をデジタル信号に変換し、エラー訂正と復号処理おこない、音声コーデックブロックSPへ出力する。音声コーデックブロックがデジタル信号をアナログ信号に変換しスピーカーSKに出力すると、スピーカーから相手の声が聞こえる。

15 携帯電話機から、インターネットのホームページにアクセスし、音楽データをダウンロードし、再生して聞き、最後にダウンロードした音楽データを保存するという一連の作業を行うときの動作を説明する。

メモリモジュールMEMには、基本プログラム、アプリケーションプログラム(メール、Webブラウザ、音楽再生、ゲームなど)が格納されている。

20 キーボードより、Webブラウザの起動を指示すると、メモリモジュールMEM内のFLASHに格納されているWebブラウザのプログラムが、同じメモリモジュール内のDRAMへと転送される。DRAMへの転送が終了するとプロセッサCPUはDRAM内のWebブラウザのプログラムを実行し、液晶表示LCDにWebブラウザが表示される。所望のホームページにアクセスし、気に入った音楽データのダウンロードをキーボード
25 KEYより指示すると、音楽データは、アンテナANTを通して受信され、無線ブロックRFで増幅され、ベースバンドブロックBBへ入力される。ベースバンドブロックBBでは、アナログ信号である音楽データをデジタル信号に変換し、エラー訂正と復号処理おこなう。最終的に、デジタル信号化された音楽データはメモリモジュ

ールMEMのDRAMへ一旦、格納され、FLASHへと転送される。

次に、キーボードKEYより、音楽再生プログラムの起動を指示するとメモリモジュールMEM内のFLASHに格納されている音楽再生プログラムが、同じメモリモジュール内のDRAMへと転送される。DRAMへの転送が終了するとプロセッサCPUはDRAM内の音声再生プログラムを実行し、液晶表示LCDに音楽再生プログラムが表示される。

キーボードKEYより、DRAMへダウンロードした音楽データを聞くための指示を行うと、プロセッサCPUは音楽再生プログラムを実行し、DRAMに保持している音楽データを処理し、最終的にスピーカーSKから音楽が聞こてくる。

このとき、本発明のメモリモジュールは大容量のDRAMを用いているため、Webブラウザと音楽再生プログラムはDRAMに保持されており、どちらのプログラムもCPUによって同時に実行されている。さらに、電子メールプログラムを起動し、電子メールプログラム、メールの送受信も同時にできる。

Webのブラウザを停止した場合でも、メモリモジュール内のDRAMには保持しているため、再起動時はすぐに起動することができる。

キーボードより電源遮断の指示が入力されると、メモリモジュールは、SRAMのみ動作させ、最低限のデータ時保持を行い、消費電力を極端に小さくできる。

このように、本発明に係るメモリモジュールを用いることにより、大量のメール、音楽再生、アプリケーションプログラムや音楽データ、静止画像データ、動画データなどを格納でき、さらに複数のプログラムを同時に実行できる。

<実施の形態例 1 3>

図 3 1 に、本発明に係るメモリシステムを利用した携帯電話機の第 1 3 の実施の形態例を示す。携帯電話は、アンテナANT、無線ブロックRF、ベースバンドブロックBB、音声コーデックブロックSP、スピーカーSK、マイクロホンMK、プロセッサCPU、液晶表示部LCD、キーボードKEYおよび、プロセッサCPUとメモリモジュールMEMを 1 つの封止体に集積した本発明のメモリシステムSLで構成される。

本発明のメモリシステムSLでを用いることによって、部品点数を削減できるため、低コスト化ができ、携帯電話の信頼性が向上する、携帯電話機を構成する部

品の実装面積を小さくでき、携帯電話小型化ができる。

産業上の利用可能性

以上説明したように本発明によって得られる効果は以下の通りである。

5 第1に、電源投入時にブートプログラムをFLASHからSRAMへ自動転送することで、携帯機器は、SRAMのブートプログラムを読み出し、すばやく立ちあがることができる。

第2に、電源投入時に必要なプログラムをFLASHからDRAMへ自動転送することで、携帯機器が立ちあがった時点ですぐに本メモリモジュールへアクセスすることができるため携帯機器の高性能化が図れる。

10 第3に、本発明に係るメモリシステムを適用したメモリモジュールではFLASHの一部のデータ、あるいは全データをコピーできる領域をDRAM内に確保し、あらかじめFLASHからDRAMへデータを転送しておくことで、DRAMと同等の速度でFLASHのデータ読み出しや書きこみができる。

15 第4に、本メモリモジュールの内部で、FLASHからの読み出し時は、エラー検出と訂正を行い、書きこみ時は、書きこみが正しく行われなかった不良アドレスに対して代替処理を行うため、処理が高速にでき、かつ信頼性を保つことができる。

20 第5に、本メモリモジュールでは大容量のDRAMを用いるため、FLASHのデータをコピーできる領域のほかに、大容量のワーク領域も確保でき、携帯電話の高機能化に対応できる。

第6に、本メモリモジュール内部でのロード命令やストア命令によるFLASH - DRAM間のデータ転送中であっても、これらのデータ転送を意識することなくメモリモジュール外部からDRAMへアクセスでき、携帯機器の高性能化、高機能化に対応できる。

25 第7に、メモリモジュール内部でオートリフレッシュは、電源投入後のFLASHからDRAMへの初期プログラムの転送開始からメモリモジュールの外部から、オートリフレッシュ命令が入力されるまで行うことによって、リフレッシュ制御の切

り替えを速やかに正確におこなうことができる。

また、電源投入後のFLASHからDRAMへの初期プログラムの転送が終了した後に、DRAMをセルフリフレッシュ状態にすることで、メモリモジュール外部よりセルフリフレッシュ状態を解除する命令が入力されるまで、低電力でDRAMのデータを保持することができる。

第8に、一般的なインターフェースであるSRAMインターフェースを通じてブートデータや自動転送領域指定データをFLASHの初期プログラム領域へ書き込み、電源投入直後のブート方法やデータ転送領域を変えることができるため、携帯機器の要求に応じて柔軟に対応でき、高機能化が図れる。

10 第9に、複数の半導体チップを一つの封止体を実装することによって実装面積の小さなシステムメモリ・モジュールを提供できる。

請 求 の 範 囲

1. 不揮発性メモリと、ダイナミックランダムアクセスメモリと、スタティックランダムアクセスメモリと、前記不揮発性メモリと前記ダイナミックランダムアクセスメモリ及び前記スタティックランダムアクセスメモリとの間でアクセスを行う制御回路を含むメモリモジュールであって、

前記メモリモジュールの外部からダイナミックランダムアクセスメモリへアクセスするためのダイナミックランダムアクセスメモリインターフェースと、スタティックランダムアクセスメモリへアクセスするためのスタティックランダムアクセスインターフェースを有することを特徴とするメモリモジュール。

2. 請求の範囲第1項において、

電源投入直後、前記不揮発性メモリの所定のアドレス領域のデータをスタティックランダムアクセスメモリへ転送することを特徴とするメモリモジュール。

3. 請求の範囲第1項において、

電源投入直後、前記不揮発性メモリの所定のアドレス領域のデータをダイナミックランダムアクセスメモリへ転送することを特徴とするメモリモジュール。

4. 請求の範囲第1項において、

前記不揮発性メモリと前記ダイナミックランダムアクセスメモリとの間のデータ転送は、前記ダイナミックランダムアクセスメモリインターフェースからの命令によって行われることを特徴とするメモリモジュール。

5. 請求の範囲第1項において、

前記不揮発性メモリと前記スタティックランダムアクセスメモリとの間のデータ転送は、前記スタティックランダムアクセスメモリインターフェースからの命令によって行われることを特徴とするメモリモジュール。

6. 請求の範囲第1項において、

前記不揮発性メモリから前記スタティックランダムアクセスメモリおよびダイナミックランダムアクセスメモリへのデータ転送は、エラー訂正されたデータを転送することを特徴とするメモリモジュール。

7. 請求の範囲第1項において、

前記スタティックランダムアクセスメモリおよびダイナミックランダムアクセスメモリから前記不揮発性メモリへのデータ転送は、アドレス代替処理が行われることを特徴とするメモリモジュール。

5 8. 請求の範囲第1項において、

前記不揮発性メモリには、ブートプログラムを保持することを特徴とするメモリモジュール。

9. 請求の範囲第1項において、

10 前記不揮発性メモリから前記ダイナミックランダムアクセスメモリへ動作電源が投入された初期に転送されるデータの範囲を示す転送範囲データが、前記不揮発性メモリに保持されていることを特徴とするメモリモジュール。

10. 請求の範囲第1項において、

15 前記不揮発性メモリと前記ダイナミックランダムアクセスメモリは同程度のメモリ容量であり、前記スタティックランダムアクセスメモリは不揮発性メモリの1/1000以下のメモリ容量であることを特徴とするメモリモジュール。

11. 請求の範囲第3項において、

前記不揮発性メモリの所定のアドレス領域の範囲を示す転送範囲データを前記不揮発性メモリが保持することを特徴とするメモリモジュール。

20 12. 請求の範囲第1項において、

前記メモリモジュール内部で前記ダイナミックランダムアクセスメモリのデータ保持動作を行うことを特徴とするメモリモジュール。

13. 請求の範囲第11項において、

25 前記メモリモジュールの外部より前記ダイナミックランダムアクセスメモリへのデータ保持動作が行われた場合は、メモリモジュール内部での前記ダイナミックランダムアクセスメモリのデータ保持動作を中止することを特徴とするメモリモジュール。

14. 請求の範囲第1項において、

前記メモリモジュールの外部よりのアクセスが第1優先、前記メモリモジュール内部でのダイナミックランダムアクセスメモリのデータ保持動作を第2優先、前記不揮発性メモリとスタティックランダムアクセスメモリおよびダイナミックランダムアクセスメモリとの間のデータ転送を第3優先とするメモリモジュール。

5 15. 請求の範囲第1項において、

前記ダイナミックランダムアクセスメモリはクロック同期型DRAMであり、前記メモリモジュール外部からの前記不揮発性メモリおよび前記ダイナミックランダムアクセスメモリへのアクセスはクロック同期型DRAMのインターフェースであることを特徴とするメモリモジュール。

10 16. 請求の範囲第1項において、

前記不揮発性メモリはNAND型フラッシュメモリであり、前記ダイナミックランダムアクセスメモリはクロック同期型DRAMであることを特徴とするメモリモジュール。

17. 請求の範囲第1項において、

15 前記不揮発性メモリはAND型フラッシュメモリであり、前記ダイナミックランダムアクセスメモリはクロック同期型DRAMであることを特徴とするメモリモジュール。

18. 請求の範囲第1項において、

20 前記不揮発性メモリは、エラー検出とエラー訂正およびアドレス代替処理を行うことを特徴とするメモリモジュール。

19. 請求の範囲第18項において、

前記不揮発性メモリのメモリアレイの構成はNAND構成であることを特徴とするメモリモジュール。

20. 請求の範囲第18項において、

25 前記不揮発性メモリのメモリアレイの構成はAND構成であることを特徴とするメモリモジュール。

21. 請求の範囲第1項において、

前記ダイナミックランダムアクセスメモリは、複数のメモリインターフェース

を装備することを特徴とするメモリモジュール。

22. 請求の範囲第21項において、

前記ダイナミックランダムアクセスメモリが装備している複数のメモリインターフェースは、少なくとも2種類以上の異なるメモリに対するメモリインターフェースであることを特徴とするメモリモジュール。

23. 請求の範囲第21項において、

前記ダイナミックランダムアクセスメモリが装備しているメモリインターフェースは、前記ダイナミックランダムアクセスメモリインターフェースと前記不揮発性メモリインターフェースであることを特徴とするメモリモジュール。

24. 請求の範囲第1項において、

前記ダイナミックランダムアクセスメモリは、前記メモリモジュール外部からのアクセスを処理するための制御回路と、前記不揮発性メモリへ主体的にアクセスを行うための制御回路を装備するダイナミックランダムアクセスメモリであることを特徴とするメモリモジュール。

25. 請求の範囲第1項において、

前記ダイナミックランダムアクセスメモリは、前記不揮発性メモリに対して、主体的にアクセスを行う制御回路と、従属的にアクセスを処理する回路とを装備することを特徴とするメモリモジュール。

26. 請求の範囲第25項において、

前記ダイナミックランダムアクセスメモリは、前記不揮発性メモリへ主体的にメモリアccessを行うか、あるいは従属的にメモリアccessを処理するかを選択できることを特徴とするメモリモジュール。

27. 請求の範囲第1項において、

前記不揮発性メモリはスタティックランダムアクセスメモリとエラー検出訂正回路とアドレス代替処理回路を装備していることを特徴とするメモリモジュール。

28. 請求の範囲第1項において、

前記不揮発性メモリは、複数のメモリインターフェースを装備することを特徴とするメモリモジュール。

29. 請求の範囲第28項において、

前記不揮発性メモリが装備している複数のメモリインターフェースは、少なくとも2種類以上の異なるメモリに対するメモリインターフェースであることを特徴とするメモリモジュール。

5 30. 請求の範囲第29項において、

前記不揮発性メモリが装備しているメモリインターフェースは、前記不揮発性メモリインターフェースであり、前記スタティックランダムアクセスメモリインターフェースであることを特徴とするメモリモジュール。

10 31. 不揮発性メモリと、ダイナミックランダムアクセスメモリと、スタティックランダムアクセスメモリと、前記不揮発性メモリと前記ダイナミックランダムアクセスメモリ及び前記スタティックランダムアクセスメモリとの間でアクセスを行う制御回路を含むメモリモジュールと情報処理装置とを有し、前記情報処理装置はスタティックメモリインターフェースを介して、前記メモリモジュール内のスタティックランダムアクセスメモリとのデータ転送を行い、ダイナミックランダムアクセスメモリインターフェースを介して前記メモリモジュール内のダイ
15 ナミックランダムアクセスメモリとのデータ転送を行うこと特徴とするメモリシステム。

32. 請求の範囲第31項において、

電源投入直後の初期化期間においては前記情報処理装置はSRAMインターフェースを介して、前記メモリモジュール内のスタティックランダムアクセスメモ
20 リのブート領域からブートプログラムを読み出すことを特徴とするメモリシステム。

33. 請求の範囲第31項において、

通常期間においては前記情報処理装置はダイナミックランダムアクセスメモリ
25 インターフェースを介して、前記メモリモジュール内のダイナミックランダムアクセスメモリにアクセスし、スタティックランダムアクセスメモリインターフェースを介して前記メモリモジュール内のスタティックランダムアクセスメモリのバッファ領域へアクセスすることを特徴とするメモリシステム。

34. 請求の範囲第31項において、

前記情報処理装置はダイナミックランダムアクセスメモリインターフェースを介して、前記メモリモジュール内のダイナミックランダムアクセスメモリと不揮発性メモリとの間のデータ転送を指示し、

- 5 スタティックランダムアクセスメモリインターフェースを介して前記メモリモジュール内のスタティックランダムアクセスメモリのバッファ領域と不揮発性メモリとの間のデータ転送を指示することを特徴とするメモリシステム。

35. 請求の範囲第31項において、

- 10 前記情報処理装置から前記メモリモジュールへの読み出し、書き込み、リフレッシュ等の命令が前記メモリモジュールで実行されていない期間で、ダイナミックランダムアクセスメモリと不揮発性メモリとの間のデータ転送が行われ、スタティックランダムアクセスメモリと不揮発性メモリとの間のデータ転送が行われることを特徴とするメモリシステム。

36. 請求の範囲第1項において、

- 15 前記不揮発性メモリは第1半導体チップに、前記制御回路はスタティックランダムアクセスメモリを含み第2半導体チップに、前記ダイナミックランダムアクセスメモリは第3半導体チップに、それぞれ形成され、かつ前記第1～第3の半導体チップは回路基板上に搭載されて封止されたマルチチップメモリモジュールであることを特徴とするメモリシステム。

- 20 37. 請求の範囲第1項において、

- 前記不揮発性メモリは第1半導体チップに、前記制御回路はスタティックランダムアクセスメモリを含み第2半導体チップに、前記ダイナミックランダムアクセスメモリは複数のメモリインターフェースを装備したダイナミックランダムアクセスメモリであって、第3半導体チップに、それぞれ形成され、かつ前記第1
25 ～第3の半導体チップは回路基板上に搭載されて封止されたマルチチップメモリモジュールであることを特徴とするメモリシステム。

38. 請求の範囲第1項において、

前記不揮発性メモリは複数メモリインターフェースを装備した不揮発性メモリ

であって、第1半導体チップに、前記ダイナミックランダムアクセスメモリは複数のメモリインターフェースを装備したダイナミックランダムアクセスメモリであって、第2半導体チップに、それぞれ形成され、かつ前記第1～第2の半導体チップは回路基板上に搭載されて封止されたマルチチップメモリモジュールであることを特徴とするメモリシステム。

39. 請求の範囲第31項において、

前記不揮発性メモリは第1半導体チップに、前記制御回路はスタティックランダムアクセスメモリを含み、第2半導体チップに、前記ダイナミックランダムアクセスメモリは第3半導体チップに、前記情報処理装置は第4半導体チップに、それぞれ形成され、かつ前記第1～第4の半導体チップは回路基板上に搭載されて封止されたマルチチップメモリモジュールであることを特徴とするメモリシステム。

40. 請求の範囲第31項において、

前記不揮発性メモリは第1半導体チップに、前記制御回路はスタティックランダムアクセスメモリを含み第2半導体チップに、前記ダイナミックランダムアクセスメモリは複数のメモリインターフェースを装備したダイナミックランダムアクセスメモリであって、第3半導体チップに、前記情報処理装置は第4半導体チップに、それぞれ形成され、かつ前記第1～第4の半導体チップは回路基板上に搭載されて封止されたマルチチップメモリモジュールであることを特徴とするメモリシステム。

41. 請求の範囲第31項において、

前記不揮発性メモリは複数メモリインターフェースを装備した不揮発性メモリであって、第1半導体チップに、前記ダイナミックランダムアクセスメモリは複数のメモリインターフェースを装備したダイナミックランダムアクセスメモリであって、第2半導体チップに、情報処理装置は第3半導体チップに、それぞれ形成され、かつ前記第1～第3の半導体チップは回路基板上に搭載されて封止されたマルチチップメモリモジュールであることを特徴とするメモリシステム。

42. 不揮発性メモリと、ダイナミックランダムアクセスメモリと、スタティッ

クランダムアクセスメモリと、前記不揮発性メモリと前記ダイナミックランダムアクセスメモリおよび前記スタティックランダムアクセスメモリとの間でアクセスを行う制御回路を含むメモリモジュールであって、前記メモリモジュールの外部から前記ダイナミックランダムアクセスメモリおよび前記スタティックランダムアクセスメモリへアクセスするためのダイナミックランダムアクセスメモリインターフェースを装備することを特徴とするメモリシステム。

4 3. 請求の範囲第 4 2 項において、

電源投入直後、前記不揮発性メモリの所定のアドレス領域のデータを前記スタティックランダムアクセスメモリへ転送することを特徴とするメモリシステム。

4 4. 請求の範囲第 4 2 項において、

電源投入直後、前記不揮発性メモリの所定のアドレス領域のデータを前記ダイナミックランダムアクセスメモリへ転送することを特徴とするメモリシステム。

4 5. 請求の範囲第 4 2 項において、

前記不揮発性メモリと前記ダイナミックランダムアクセスメモリおよび前記スタティックランダムアクセスメモリとの間のデータ転送は、前記ダイナミックランダムアクセスメモリインターフェースからの命令によって行われることを特徴とするメモリシステム。

4 6. 請求の範囲第 4 2 項において、

前記不揮発性メモリから前記スタティックランダムアクセスメモリおよび前記ダイナミックランダムアクセスメモリへのデータ転送は、エラー訂正されたデータを転送することを特徴とするメモリシステム。

4 7. 請求の範囲第 4 2 項において、

前記スタティックランダムアクセスメモリおよび前記ダイナミックランダムアクセスメモリから前記不揮発性メモリへのデータ転送は、アドレス代替処理が行われることを特徴とするメモリシステム。

4 8. 請求の範囲第 4 2 項において、

前記不揮発性メモリには、ブートプログラムを保持することを特徴とするメモリシステム。

49. 請求の範囲第42項において、

前記不揮発性メモリから前記ダイナミックランダムアクセスメモリへ動作電源が投入された初期に転送されるデータの範囲を示す転送範囲データが、前記不揮発性メモリに保持されていることを特徴とするメモリシステム。

5 50. 請求の範囲第42項において、

前記不揮発性メモリと前記ダイナミックランダムアクセスメモリは同程度のメモリ容量であり、前記スタティックランダムアクセスメモリは不揮発性メモリの1/1000以下のメモリ容量であることを特徴とするメモリシステム。

51. 請求の範囲第44項において、

10 前記不揮発性メモリの所定のアドレス領域の範囲を示す転送範囲データを前記不揮発性メモリが保持することを特徴とするメモリシステム。

52. 請求の範囲第42項において、

前記メモリモジュール内部で前記ダイナミックランダムアクセスメモリのデータ保持動作を行うことを特徴とするメモリシステム。

15 53. 請求の範囲第51項において、

前記メモリモジュールの外部より前記ダイナミックランダムアクセスメモリへのデータ保持動作が行われた場合は、前記メモリモジュール内部でのダイナミックランダムアクセスメモリのデータ保持動作を中止することを特徴とするメモリシステム。

20 54. 請求の範囲第42項において、

前記メモリモジュールの外部よりのアクセスが第1優先、前記メモリモジュール内部でのダイナミックランダムアクセスメモリのデータ保持動作を第2優先、前記不揮発性メモリと前記スタティックランダムアクセスメモリおよび前記ダイナミックランダムアクセスメモリとの間のデータ転送を第3優先とするメモリシステム。

25

55. 請求の範囲第42項において、

前記ダイナミックランダムアクセスメモリはクロック同期型DRAMであり、前記メモリモジュール外部からの前記不揮発性メモリおよび前記ダイナミックラ

ランダムアクセスメモリへのアクセスはクロック同期型DRAMのインターフェースであることを特徴とするメモリシステム。

56. 請求の範囲第42項において、

5 前記不揮発性メモリはNAND型フラッシュメモリであり、前記ダイナミックランダムアクセスメモリはクロック同期型DRAMであることを特徴とするメモリシステム。

57. 請求の範囲第42項において、

10 前記不揮発性メモリはAND型フラッシュメモリであり、前記ダイナミックランダムアクセスメモリはクロック同期型DRAMであることを特徴とするメモリシステム。

58. 請求の範囲第42項において、

前記不揮発性メモリは、エラー検出とエラー訂正およびアドレス代替処理を行うことを特徴とするメモリシステム。

59. 請求の範囲第58項において、

15 前記不揮発性メモリのメモリアレイの構成はNAND構成であることを特徴とするメモリシステム。

60. 請求の範囲第58項において、

前記不揮発性メモリのメモリアレイの構成はAND構成であることを特徴とするメモリシステム。

20 61. 請求の範囲第42項において、

前記ダイナミックランダムアクセスメモリは、複数のメモリインターフェースを装備することを特徴とするメモリシステム。

62. 請求の範囲第61項において、

25 前記ダイナミックランダムアクセスメモリが装備している複数のメモリインターフェースは、少なくとも2種類以上の異なるメモリに対するメモリインターフェースであることを特徴とするメモリシステム。

63. 請求の範囲第61項において、

前記ダイナミックランダムアクセスメモリが装備しているメモリインターフェ

ースは、前記ダイナミックランダムアクセスメモリインターフェースと前記不揮発性メモリインターフェースであることを特徴とするメモリシステム。

64. 請求の範囲第42項において、

5 前記ダイナミックランダムアクセスメモリは、前記メモリモジュール外部からのアクセスを処理するための制御回路と、前記不揮発性メモリへ主体的にアクセスを行うための制御回路を装備するダイナミックランダムアクセスメモリであることを特徴とするメモリシステム。

65. 請求の範囲第42項において、

10 前記ダイナミックランダムアクセスメモリは、前記不揮発性メモリに対して、主体的にアクセスを行う制御回路と、従属的にアクセスを処理する回路とを装備することを特徴とするメモリシステム。

66. 請求の範囲第65項において、

15 前記ダイナミックランダムアクセスメモリは、前記不揮発性メモリへ主体的にメモリアccessを行うか、あるいは従属的にメモリアccessを処理するかを選択できることを特徴とするメモリシステム。

67. 請求の範囲第42項において、

前記不揮発性メモリはスタティックランダムアクセスメモリとエラー検出訂正回路とアドレス代替処理回路を装備していることを特徴とするメモリシステム。

20 68. 不揮発性メモリと、ダイナミックランダムアクセスメモリと、スタティックランダムアクセスメモリと、前記不揮発性メモリと前記ダイナミックランダムアクセスメモリまたは前記スタティックランダムアクセスメモリとの間でアクセスを行う制御回路を含むメモリモジュールと情報処理装置とを有し、前記情報処理装置はダイナミックメモリインターフェースを介して、前記メモリモジュール内のスタティックランダムアクセスメモリおよびダイナミックランダムアクセスメモリとのデータ転送を行うこと特徴とするメモリシステム。

25 69. 請求の範囲第68項において、

電源投入直後の初期化期間においては前記情報処理装置はSRAMインターフェースを介して、前記メモリモジュール内のスタティックランダムアクセスメモ

リのブート領域からブートプログラムを読み出すことを特徴とするメモリシステム。

70. 請求の範囲第68項において、

5 通常期間においては前記情報処理装置はダイナミックランダムアクセスメモリインターフェースを介して、前記メモリモジュール内のダイナミックランダムアクセスメモリにアクセスし、スタティックランダムアクセスメモリインターフェースを介して前記メモリモジュール内のスタティックランダムアクセスメモリのバッファ領域へアクセスすることを特徴とするメモリシステム。

71. 請求の範囲第68項において、

10 前記情報処理装置はダイナミックランダムアクセスメモリインターフェースを介して、前記メモリモジュール内のダイナミックランダムアクセスメモリと不揮発性メモリとの間のデータ転送を指示し、

15 スタティックランダムアクセスメモリインターフェースを介して前記メモリモジュール内のスタティックランダムアクセスメモリのバッファ領域と不揮発性メモリとの間のデータ転送を指示することを特徴とするメモリシステム。

72. 請求の範囲第68項において、

20 前記情報処理装置から前記メモリモジュールへの読み出し、書き込み、リフレッシュ等の命令が前記メモリモジュールで実行されていない期間で、前記ダイナミックランダムアクセスメモリと前記不揮発性メモリとの間のデータ転送が行われ、前記スタティックランダムアクセスメモリと前記不揮発性メモリとの間のデータ転送が行われることを特徴とするメモリシステム。

73. 請求の範囲第42項において、

25 前記不揮発性メモリは第1半導体チップに、前記ダイナミックランダムアクセスメモリは前記制御回路とスタティックランダムアクセスメモリを含むダイナミックランダムアクセスメモリであって第2半導体チップに、それぞれ形成され、かつ前記第1～第2の半導体チップは回路基板上に搭載されて封止されたマルチチップメモリモジュールであることを特徴とするメモリシステム。

74. 請求の範囲第68項において、

前記不揮発性メモリは第1半導体チップに、前記ダイナミックランダムアクセスメモリは前記制御回路とスタティックランダムアクセスメモリを含むダイナミックランダムアクセスメモリであって第2半導体チップに、前記情報処理装置は第3半導体チップに、それぞれ形成され、かつ前記第1～第3の半導体チップは回路基板上に搭載されて封止されたマルチチップメモリモジュールであることを特徴とするメモリシステム。

75. 情報処理装置と記憶装置と出力装置から構成される情報機器であって、前記記憶装置は、請求の範囲第1項に記載のメモリシステムであることを特徴とする情報機器。

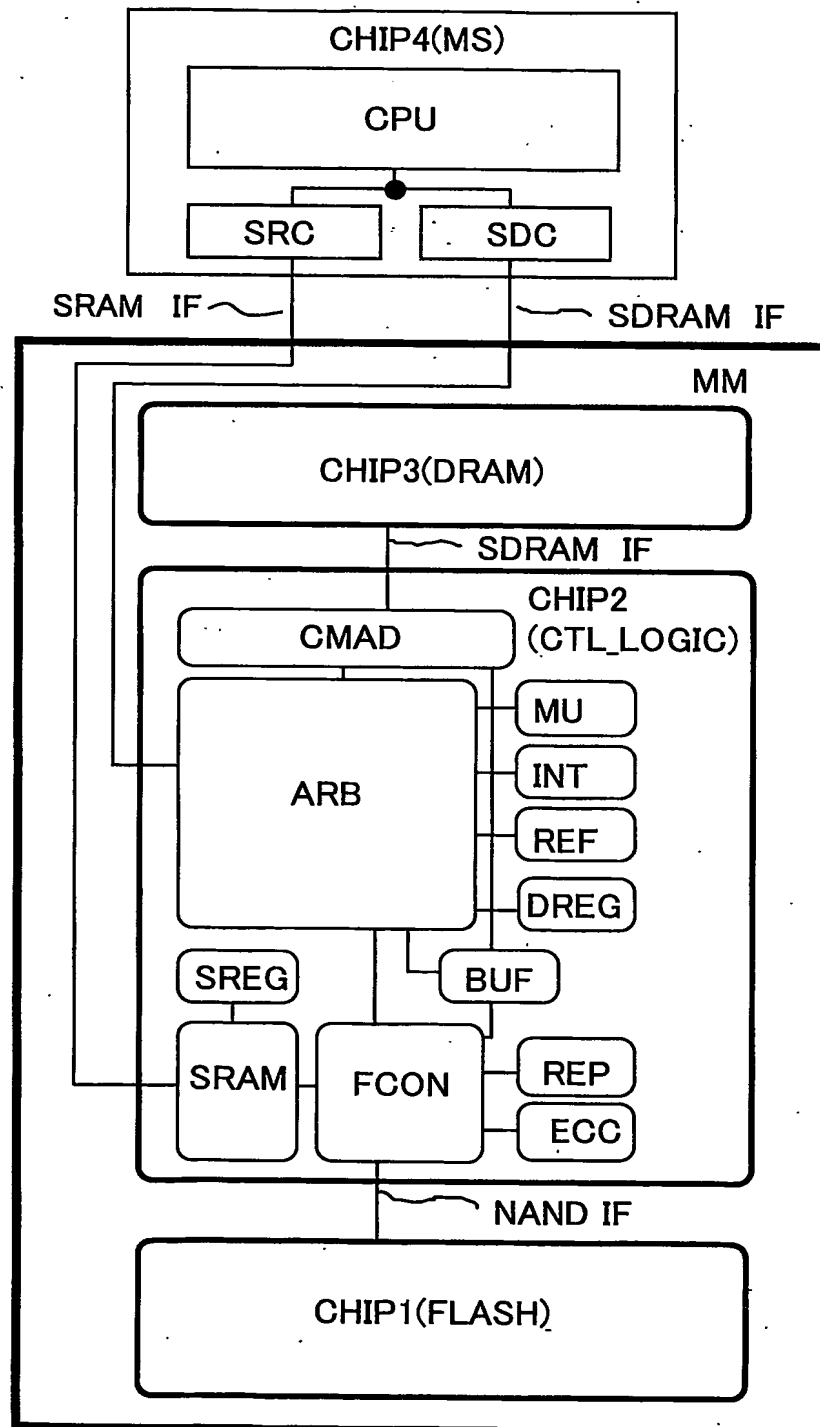
10 76. 情報処理装置と記憶装置と出力装置から構成される情報機器であって、前記情報処理装置と記憶装置は、請求の範囲第31項記載のメモリシステムであることを特徴とする情報機器。

15 77. 情報処理装置と記憶装置と出力装置から構成される情報機器であって、前記記憶装置は、請求の範囲第42項記載のメモリシステムであることを特徴とする情報機器。

78. 情報処理装置と記憶装置と出力装置から構成される情報機器であって、前記情報処理装置と記憶装置は、請求の範囲第68項記載のメモリシステムであることを特徴とする情報機器。

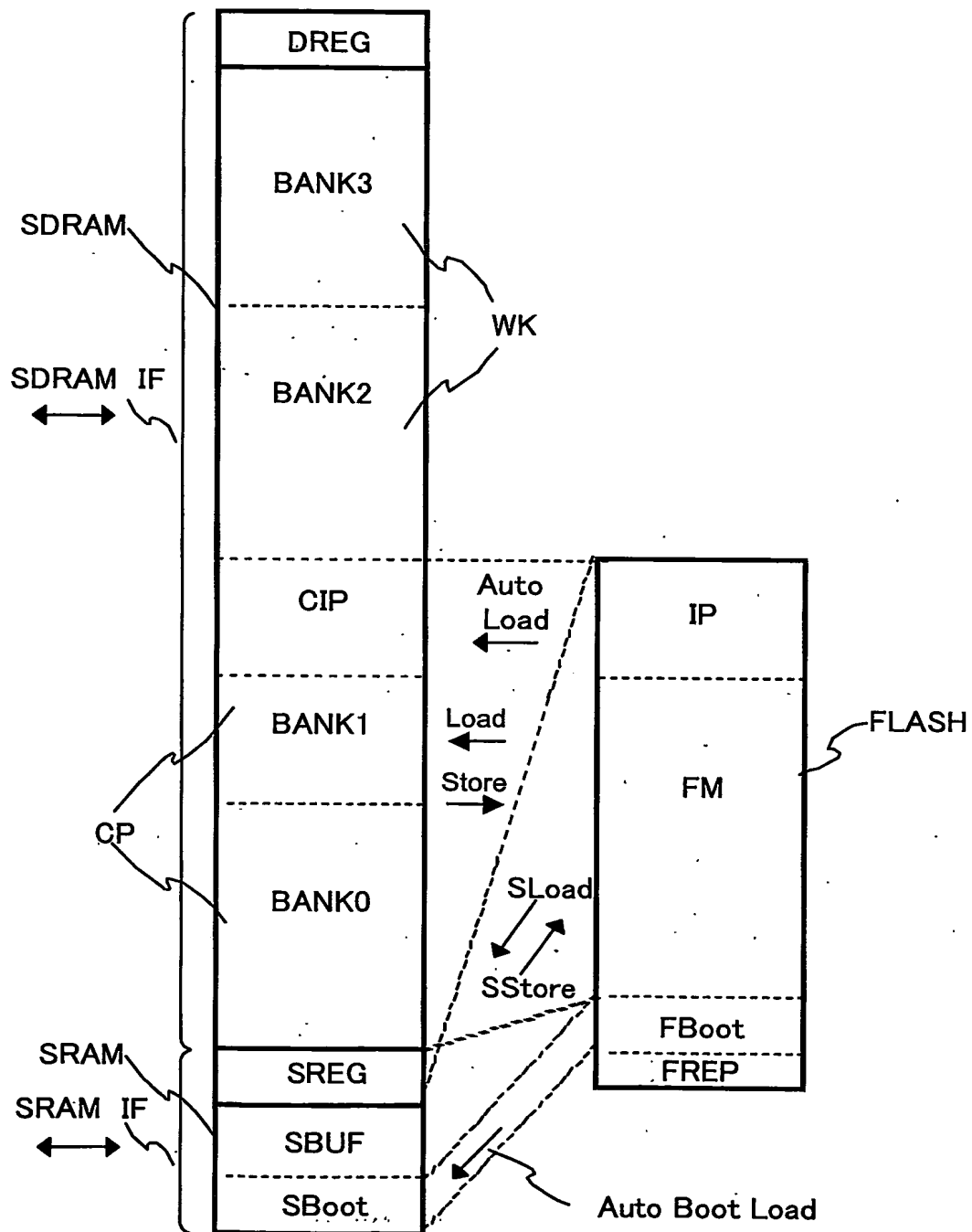
1 / 3 2

図 1



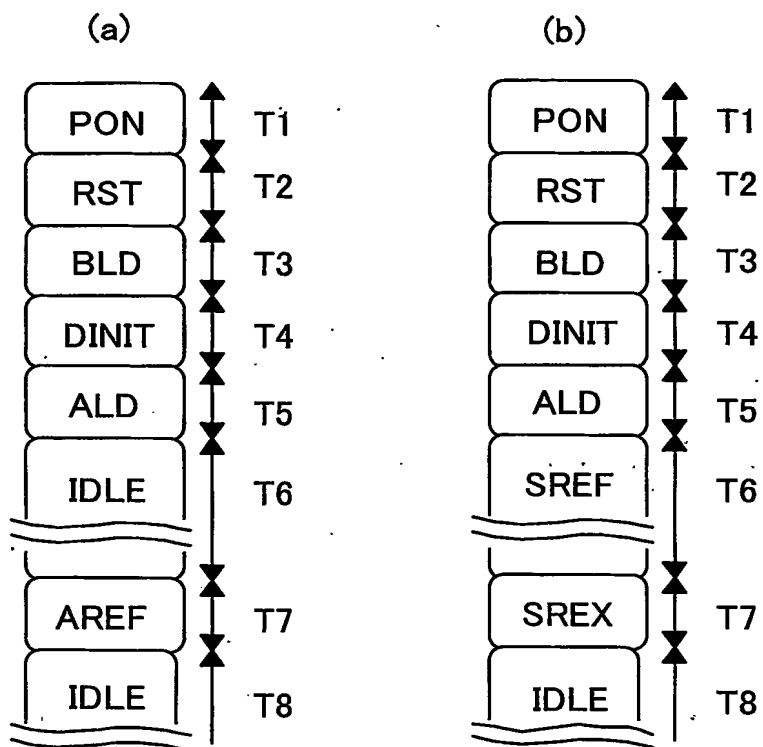
2 / 3 2

図 2



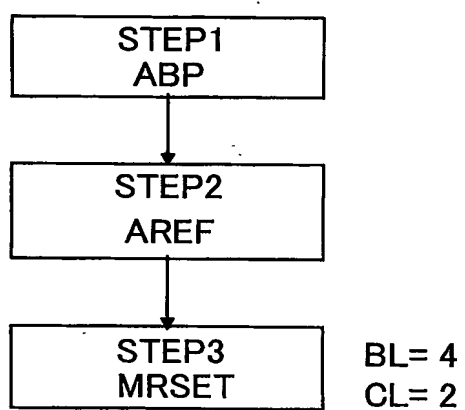
3 / 3 2

図 3



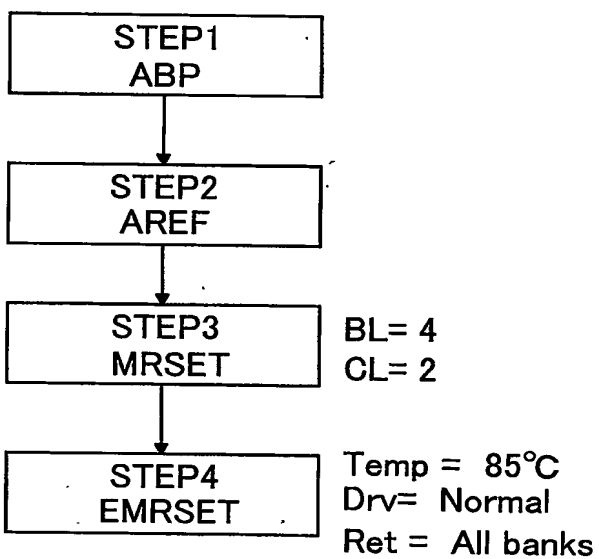
4 / 3 2

図 4



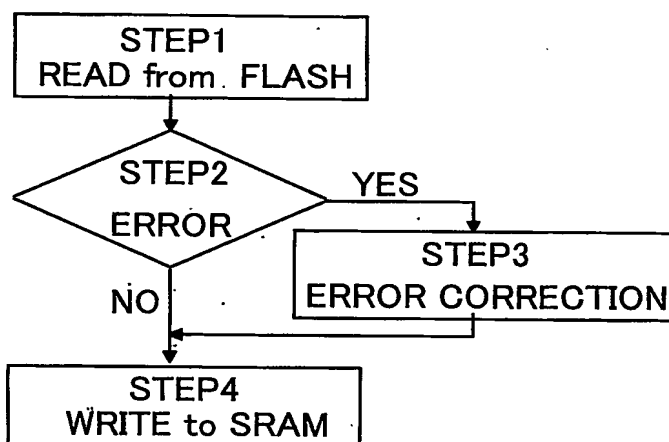
5 / 3 2

図 5



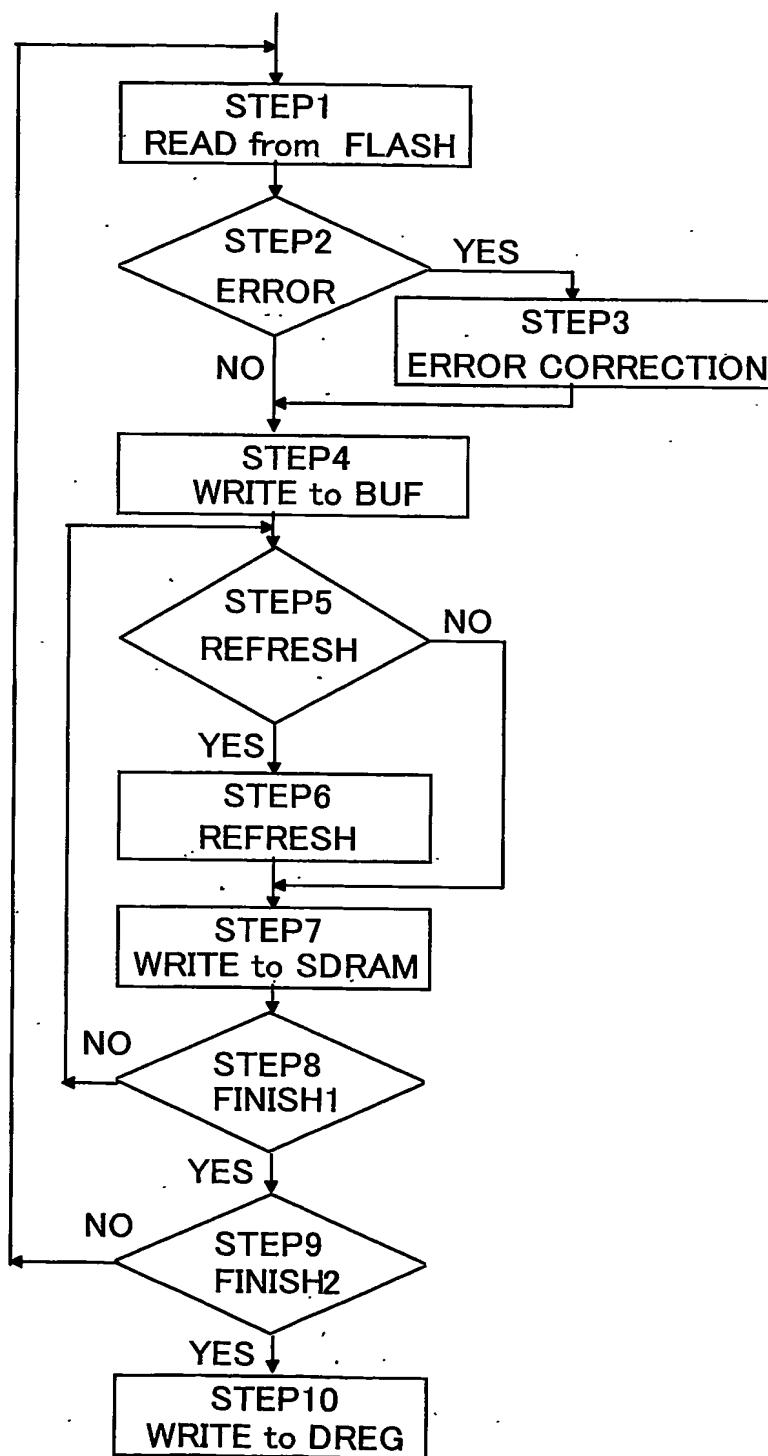
6 / 3 2

図 6



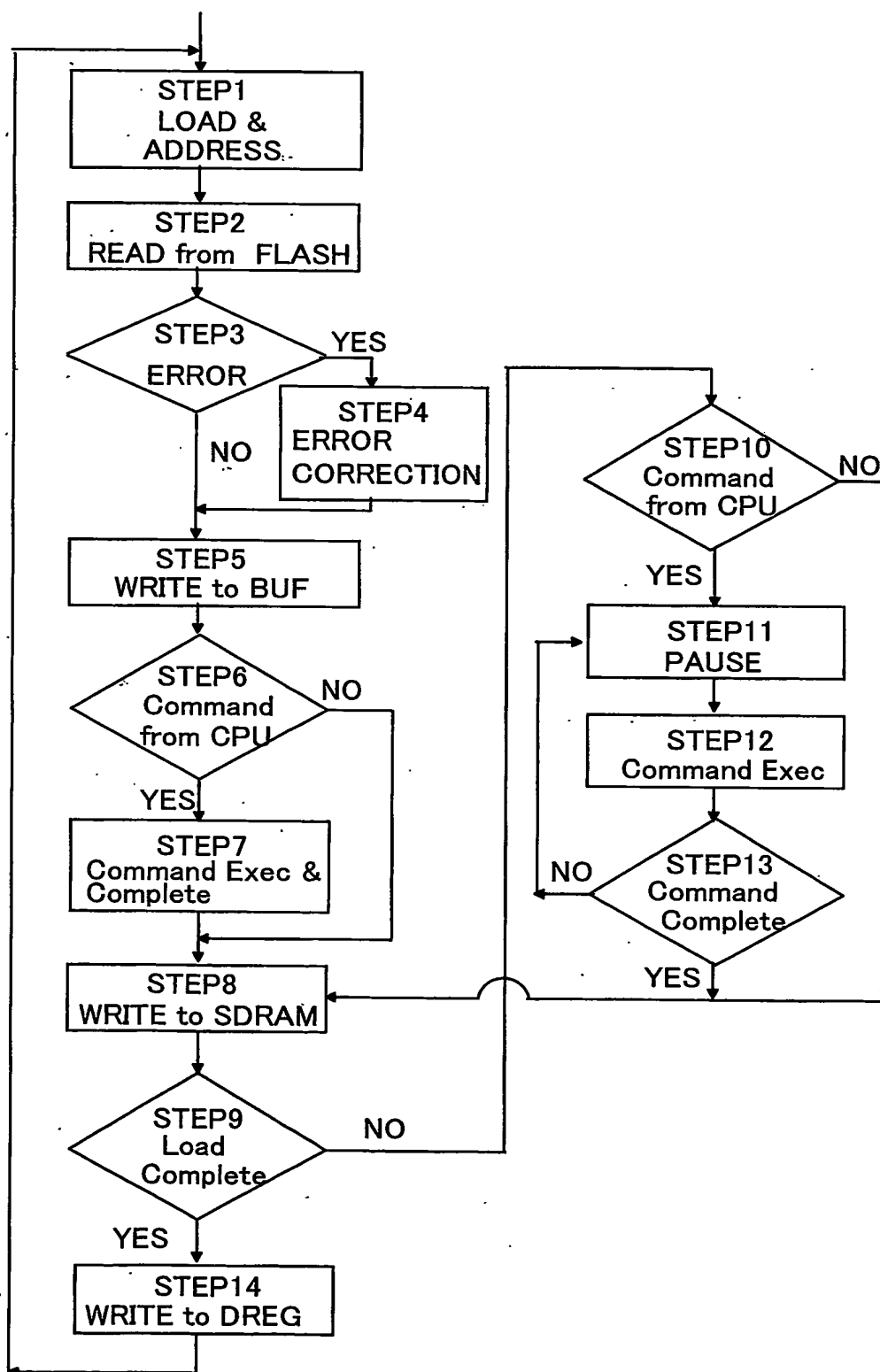
7 / 3 2

図 7



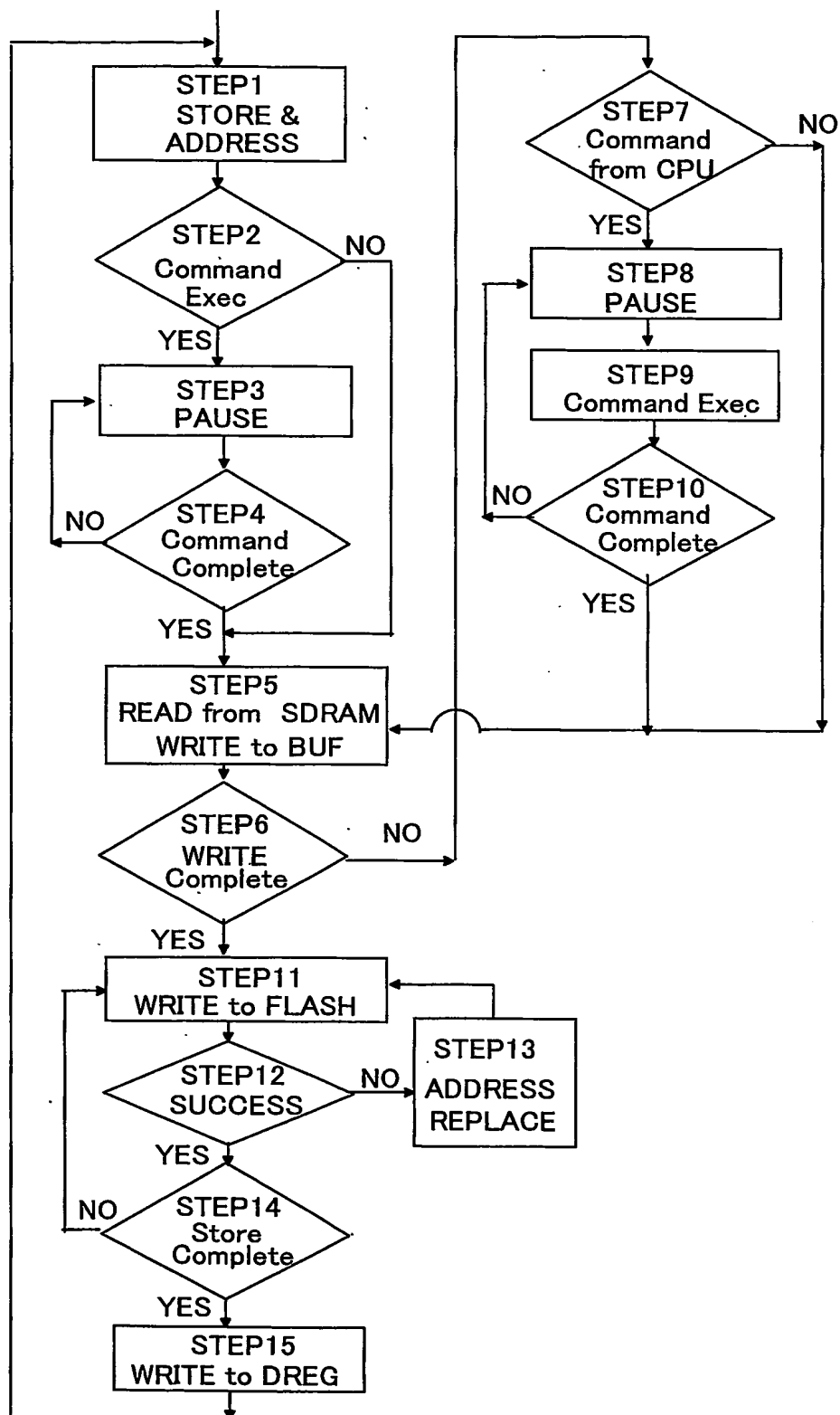
8 / 3 2

図 8



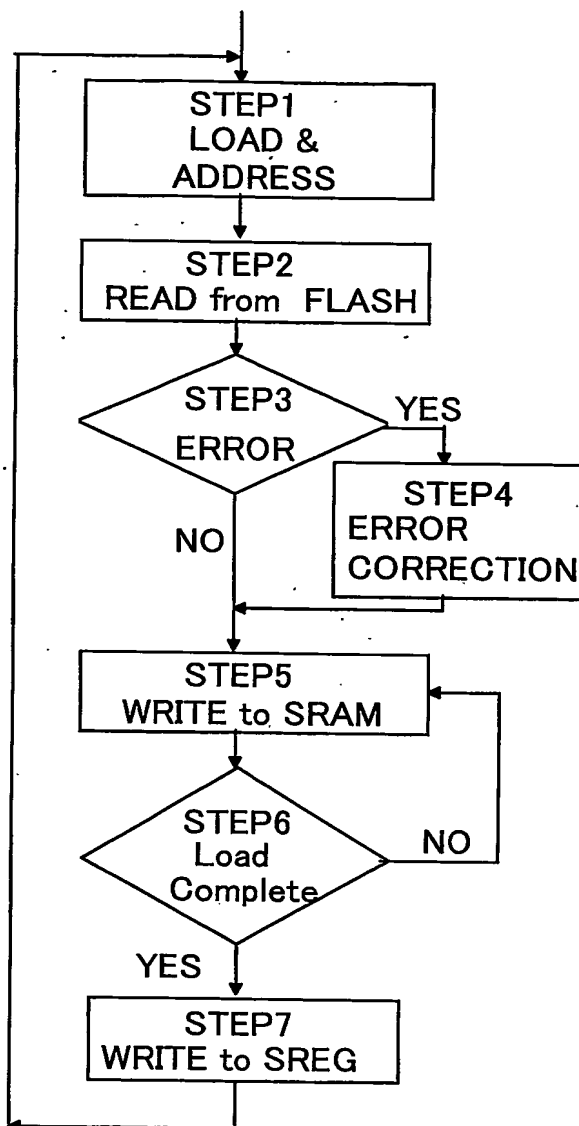
9 / 3.2

図 9



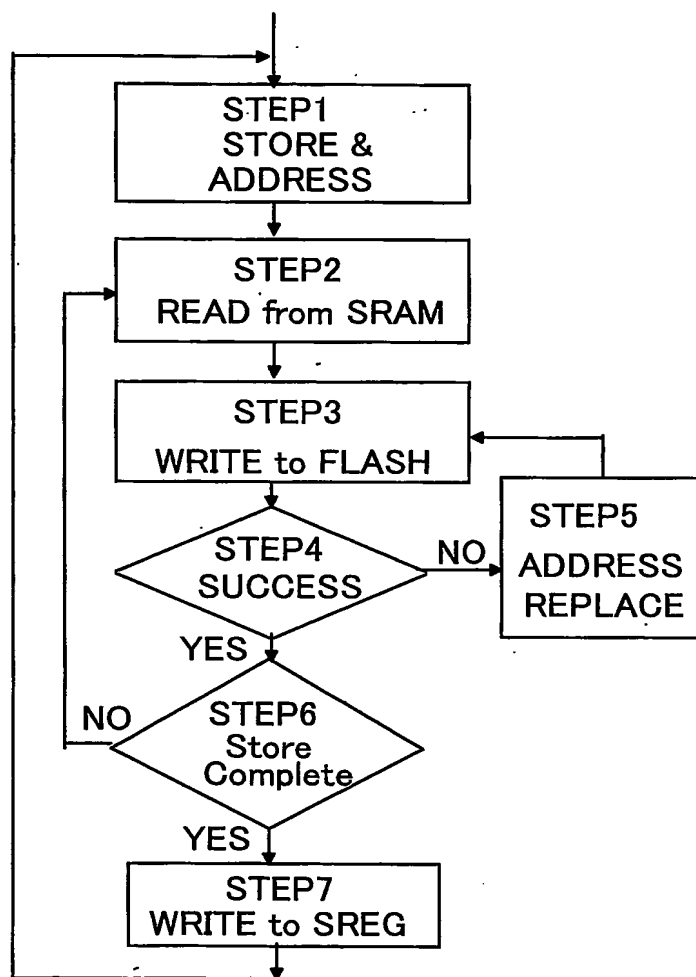
10 / 32

図 10



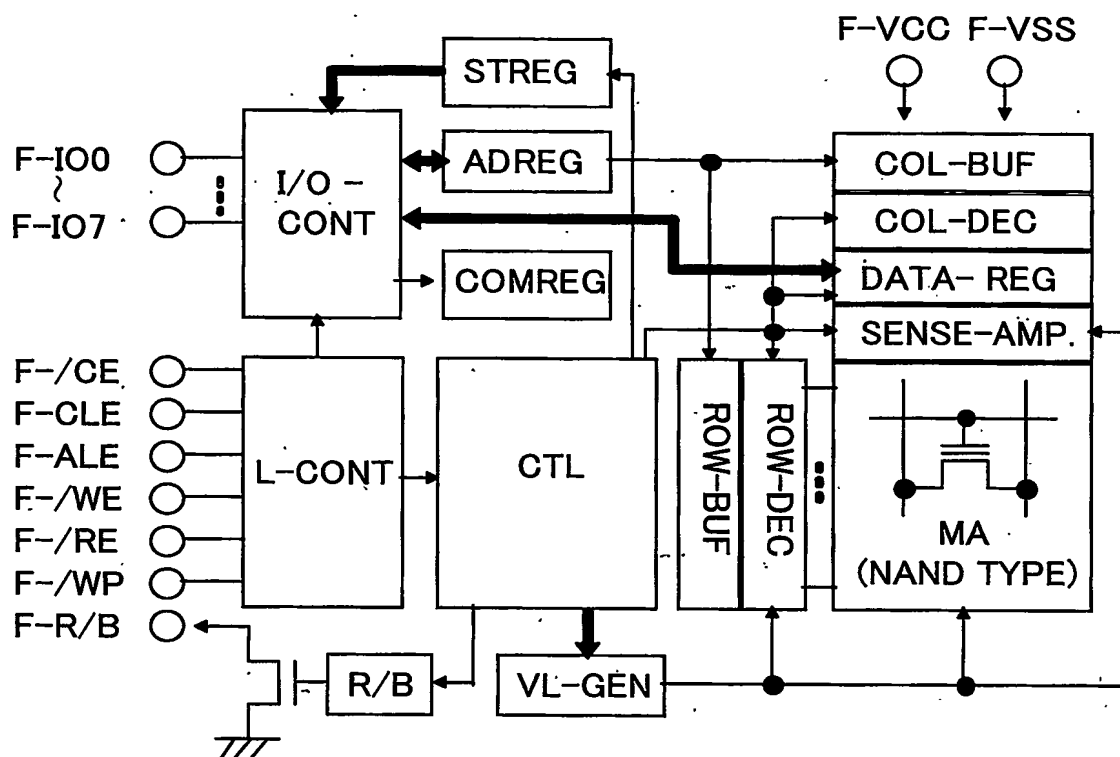
11 / 32

図 11



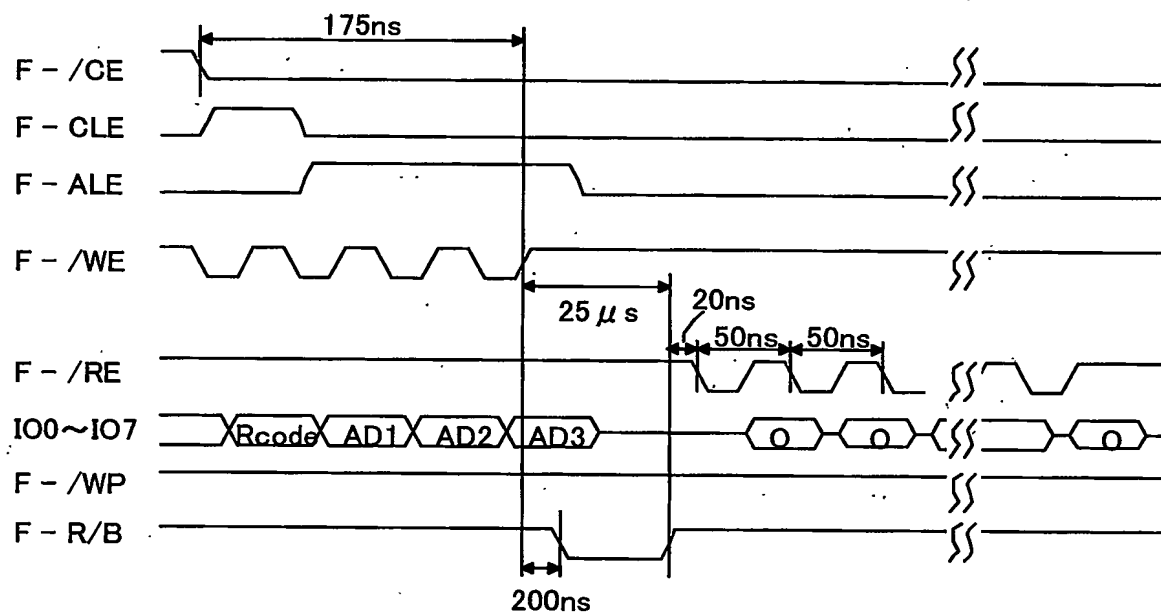
1 2 / 3 2

图 12



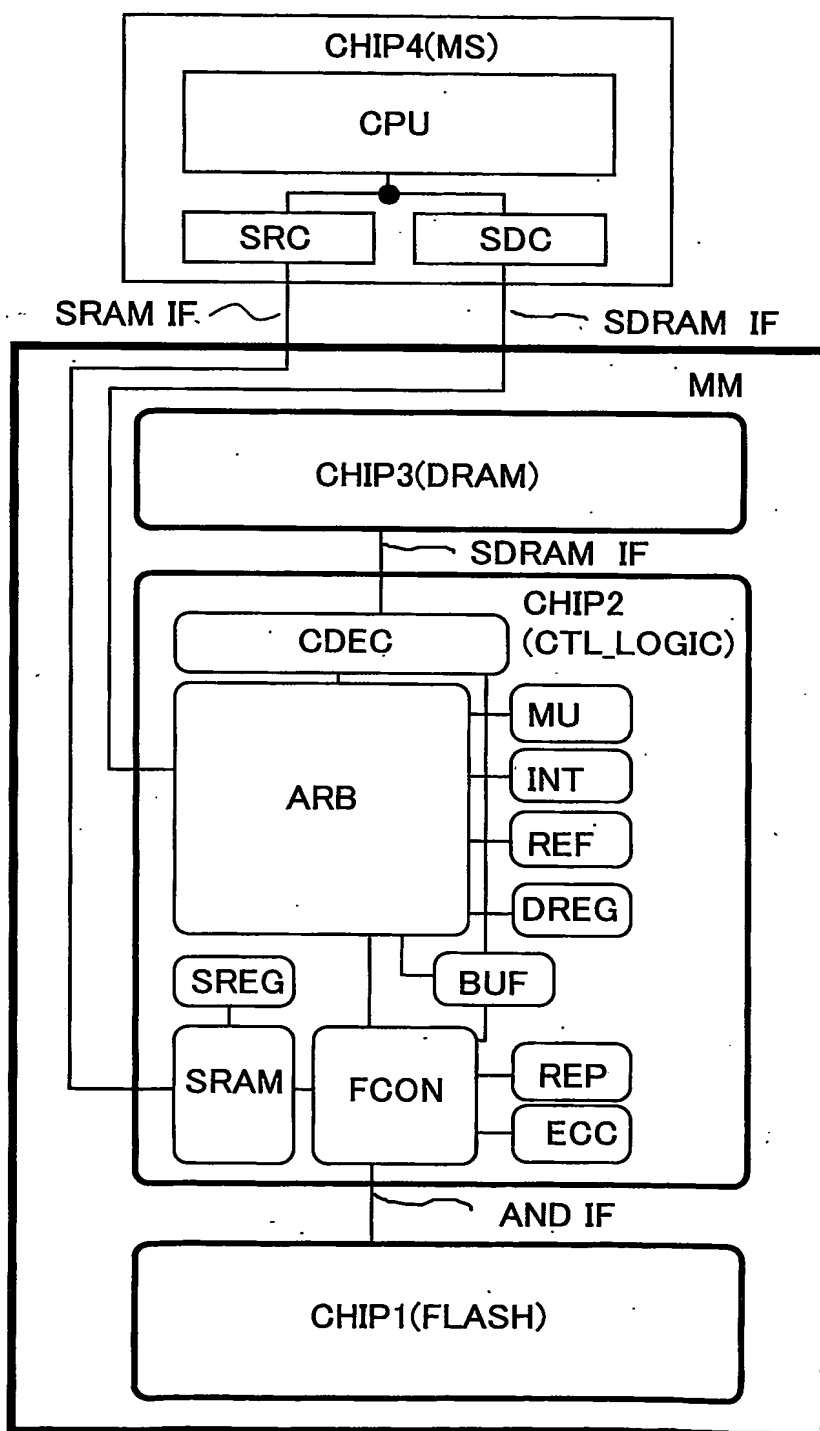
1 3 / 3 2

図 13



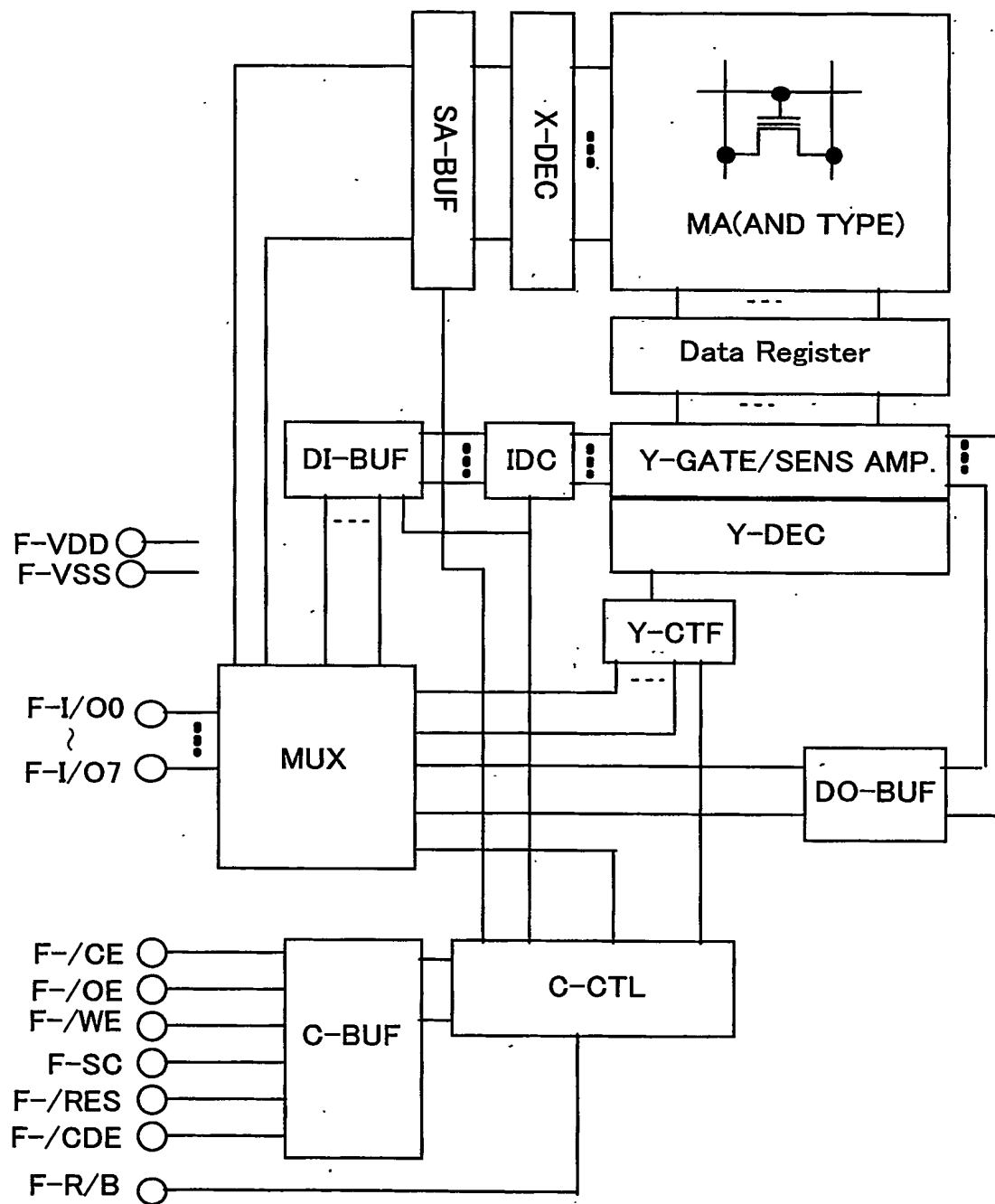
14 / 32

図 14



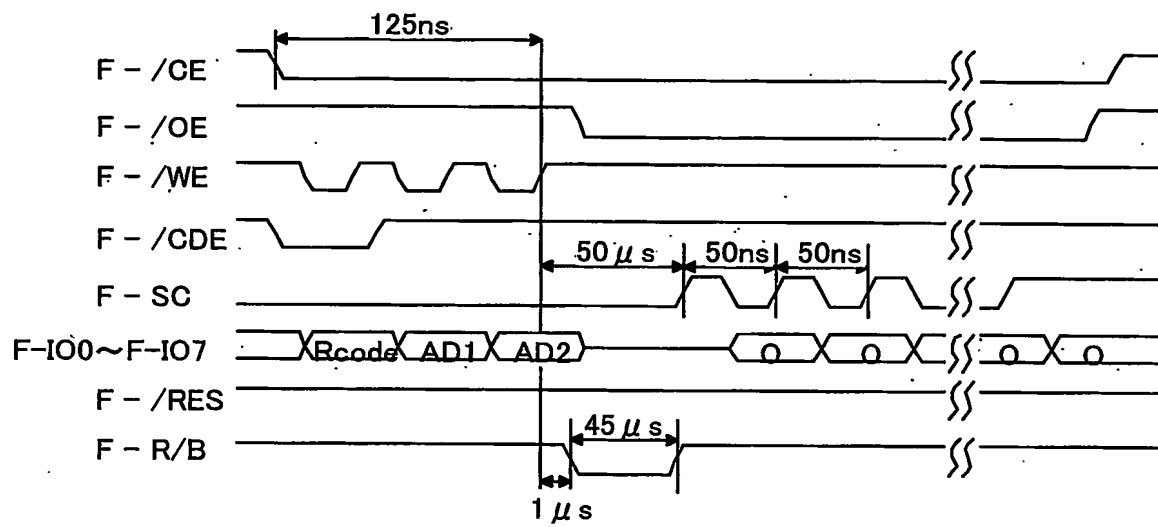
15 / 32

図 15



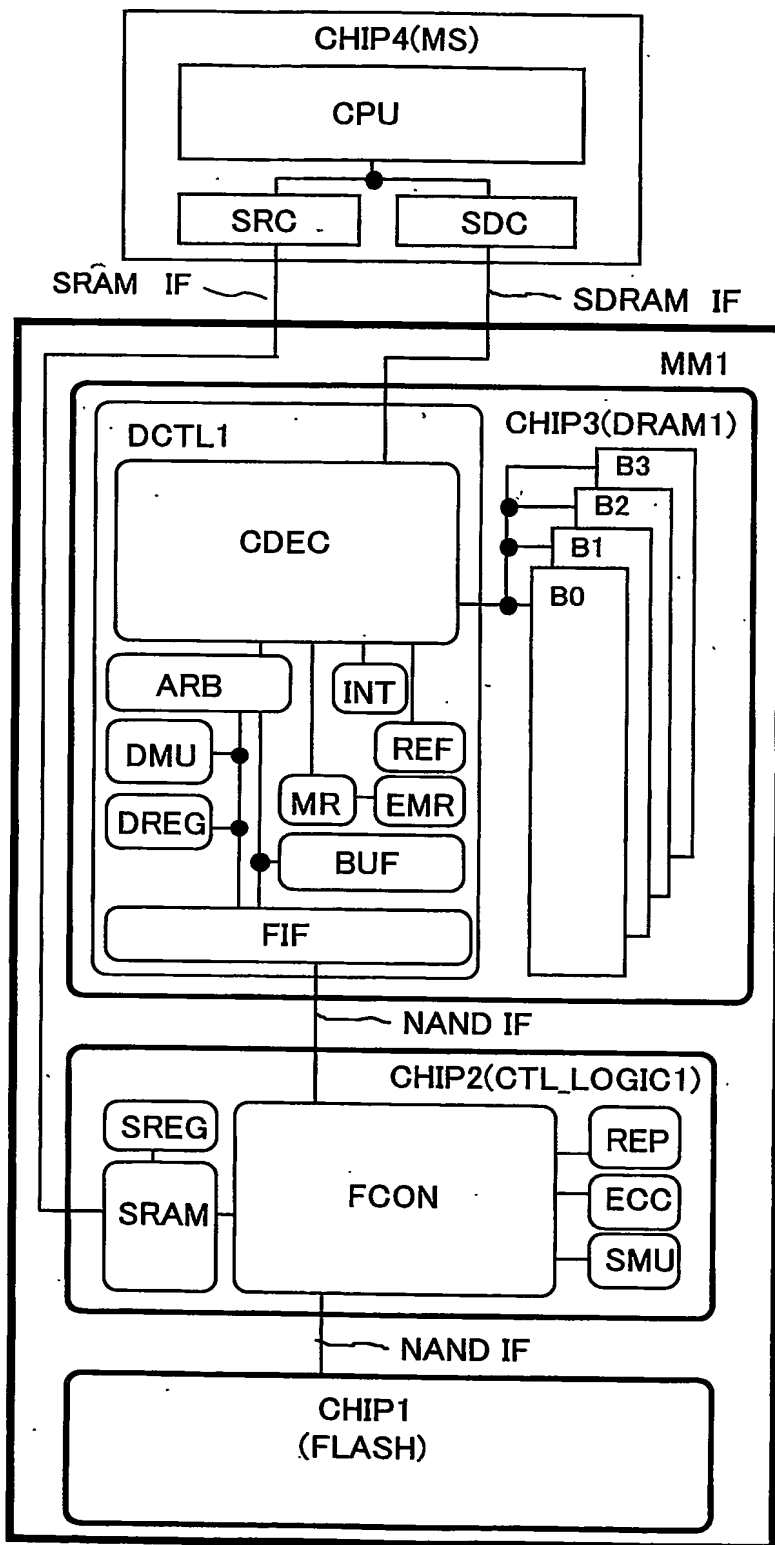
16 / 32

図 16



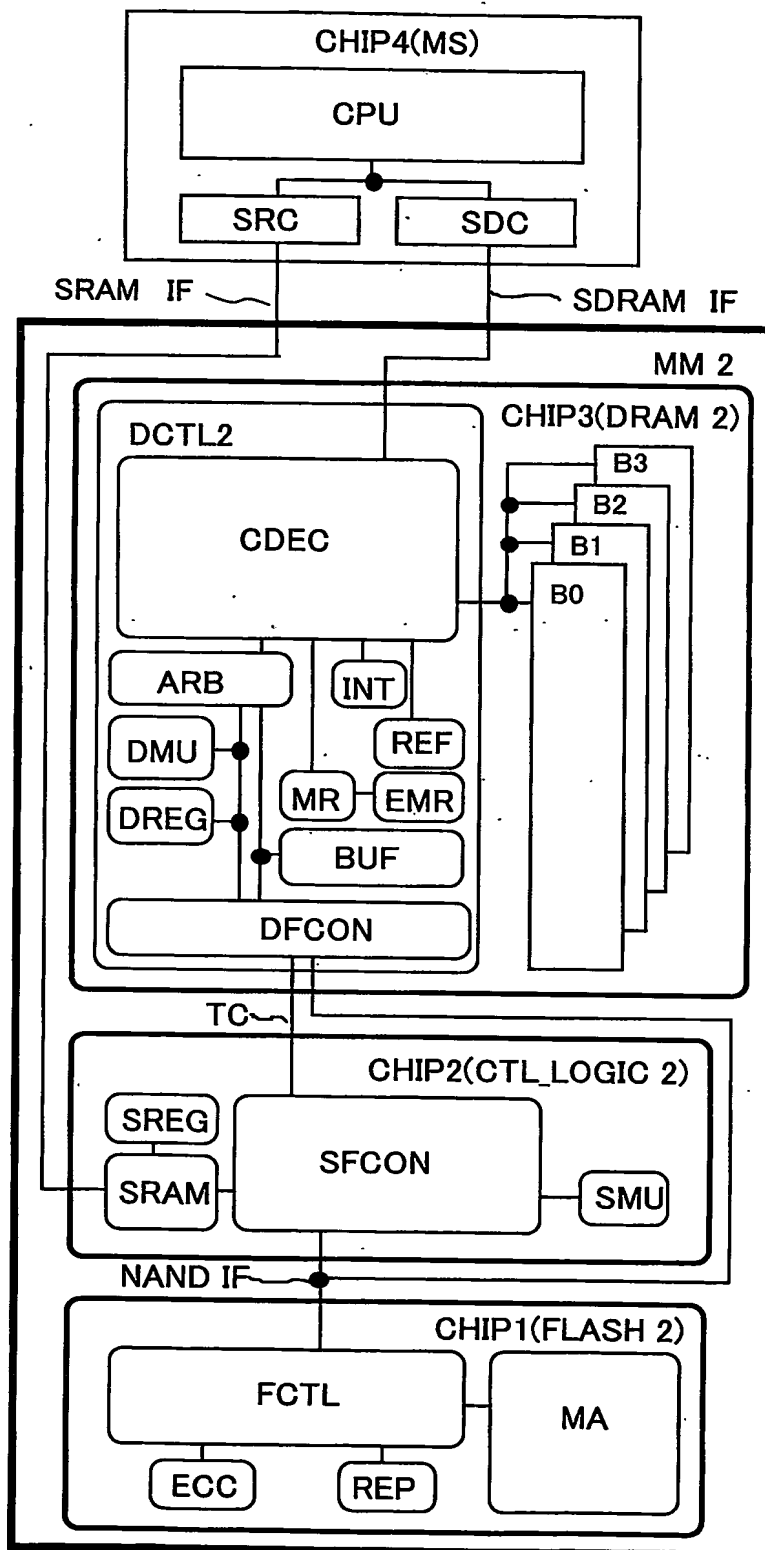
17 / 32

図 17



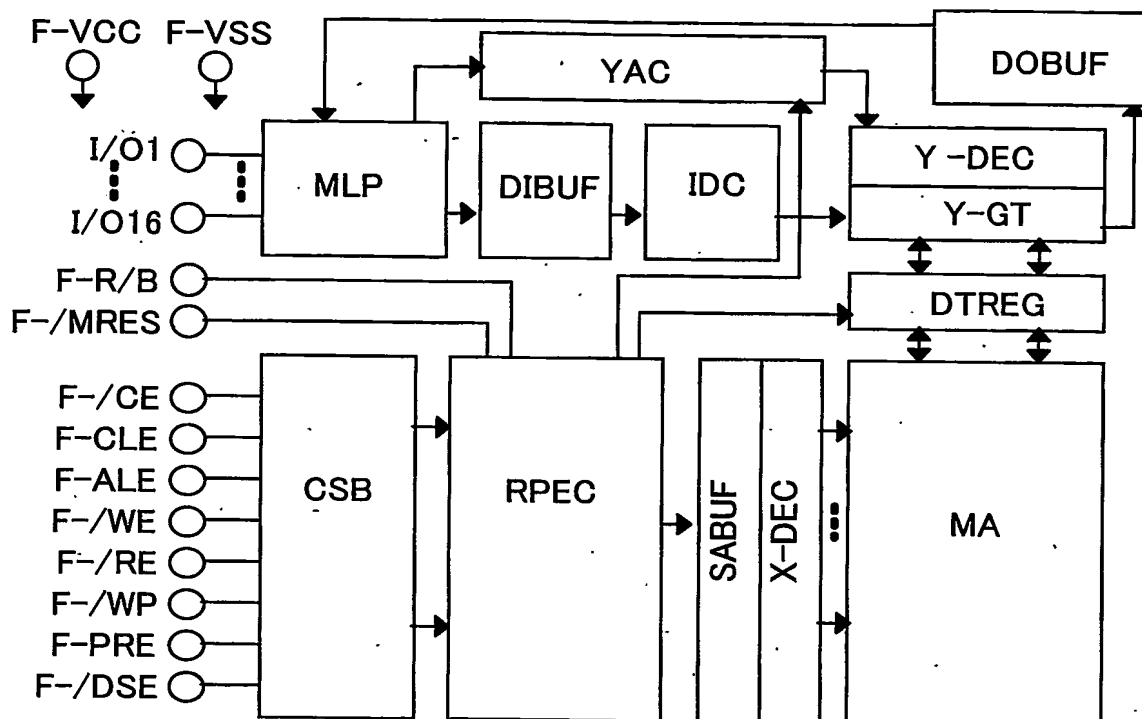
18 / 32

図 18



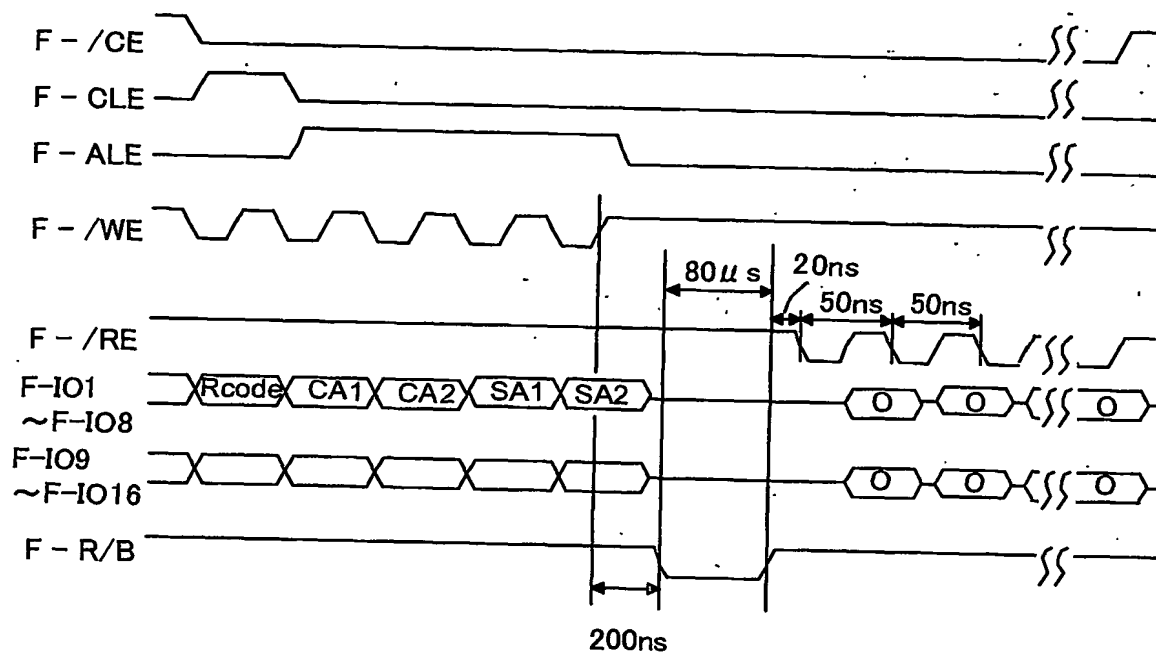
19 / 32

図 19



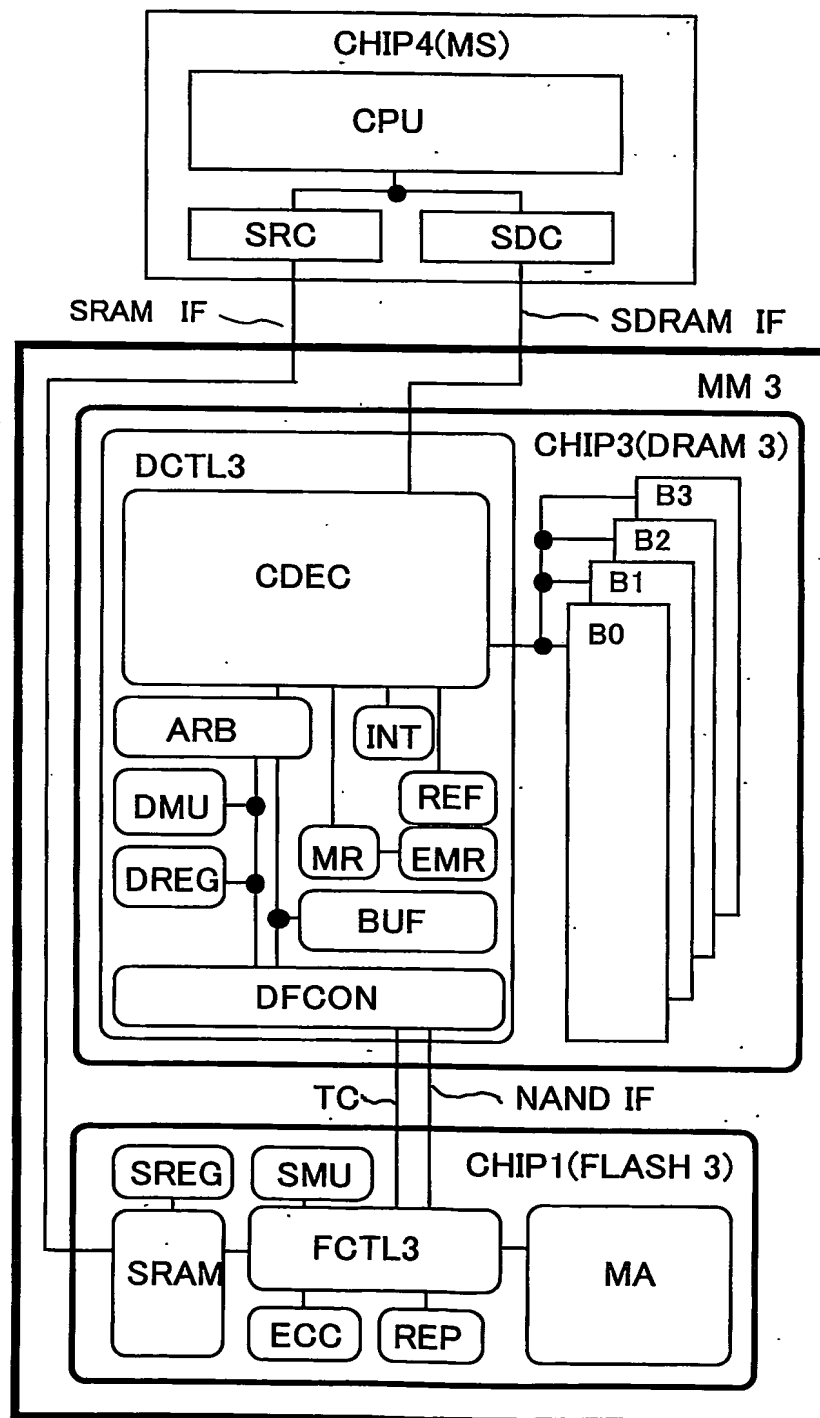
20 / 32

図 20



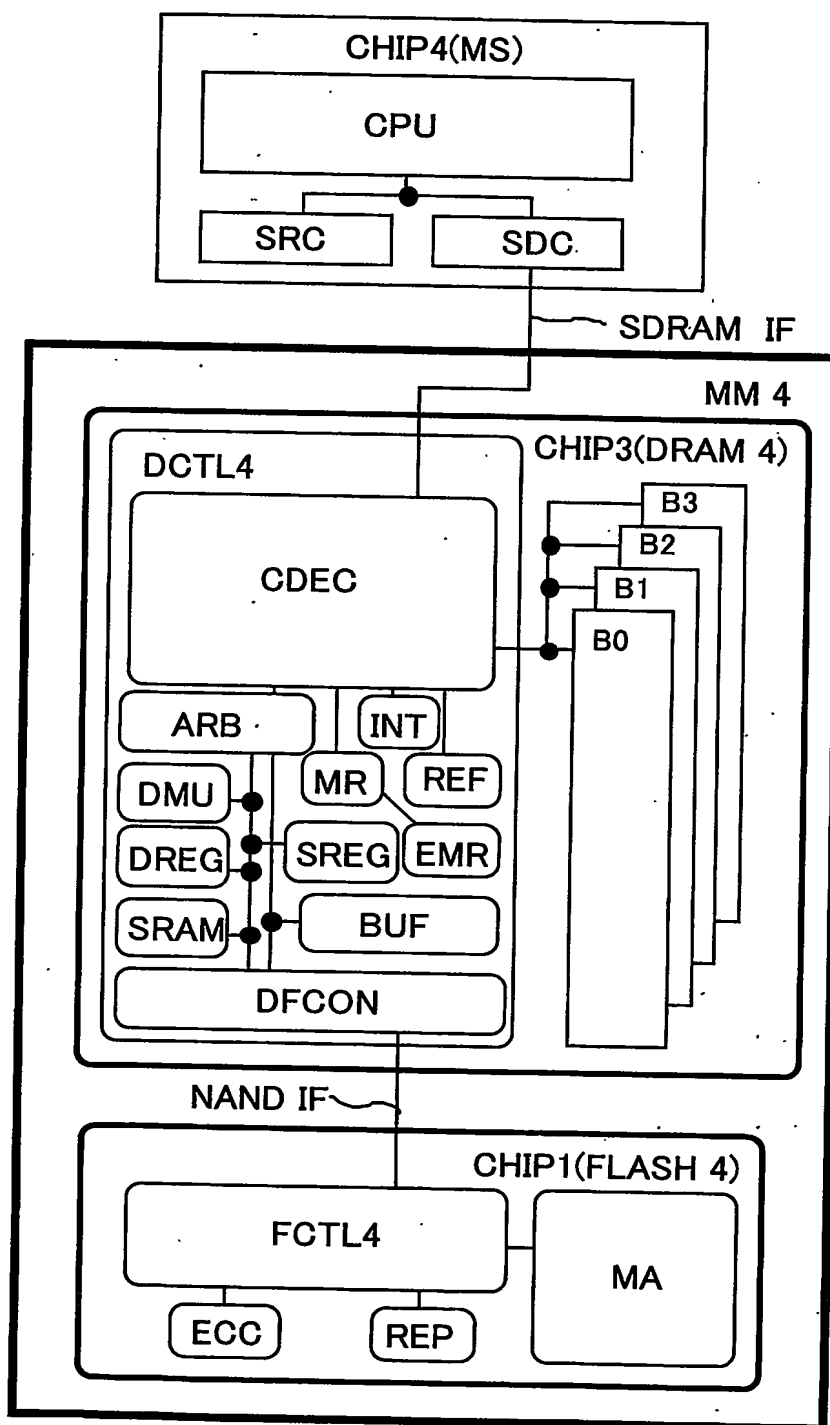
21 / 32

図 21



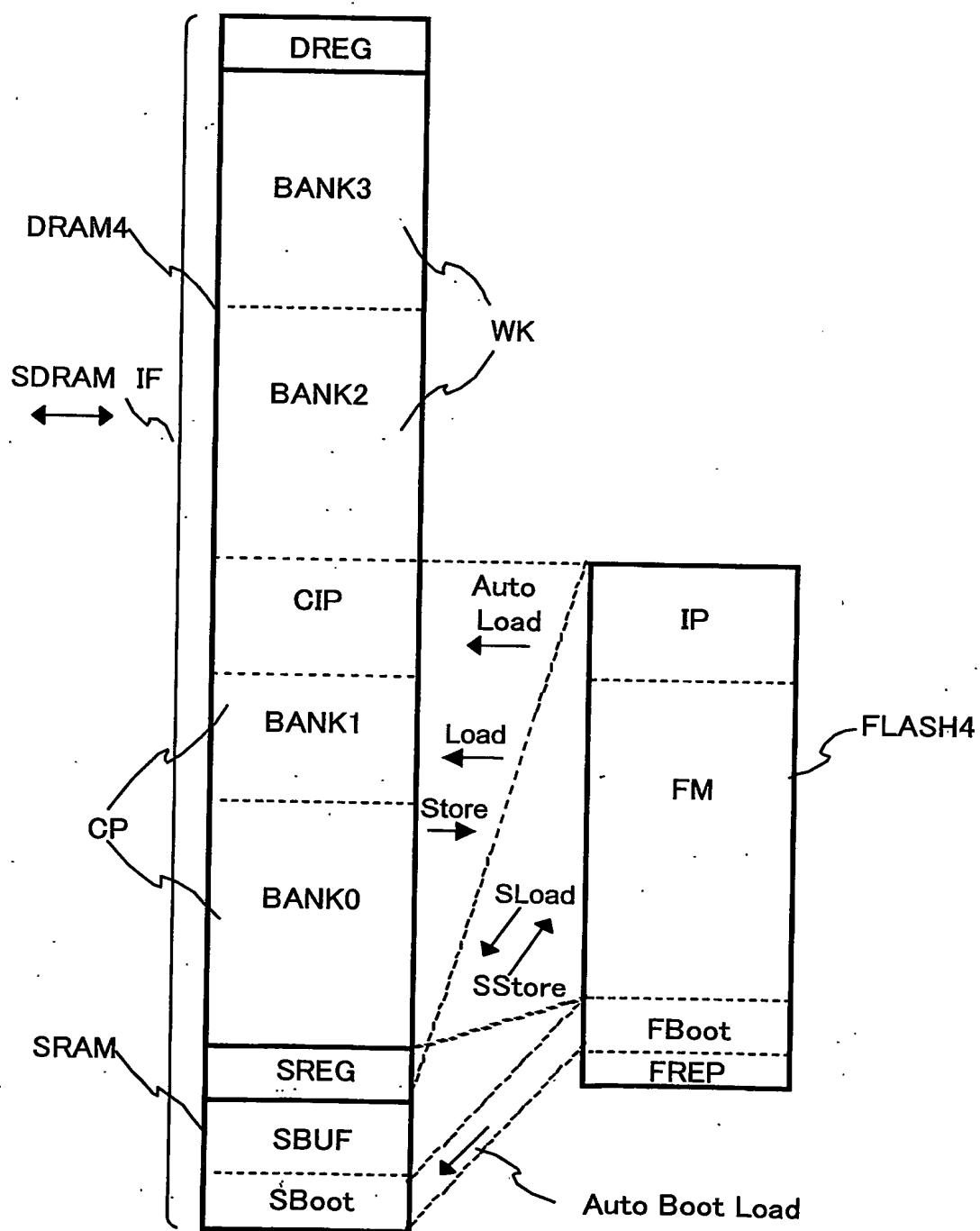
22 / 32

図 22



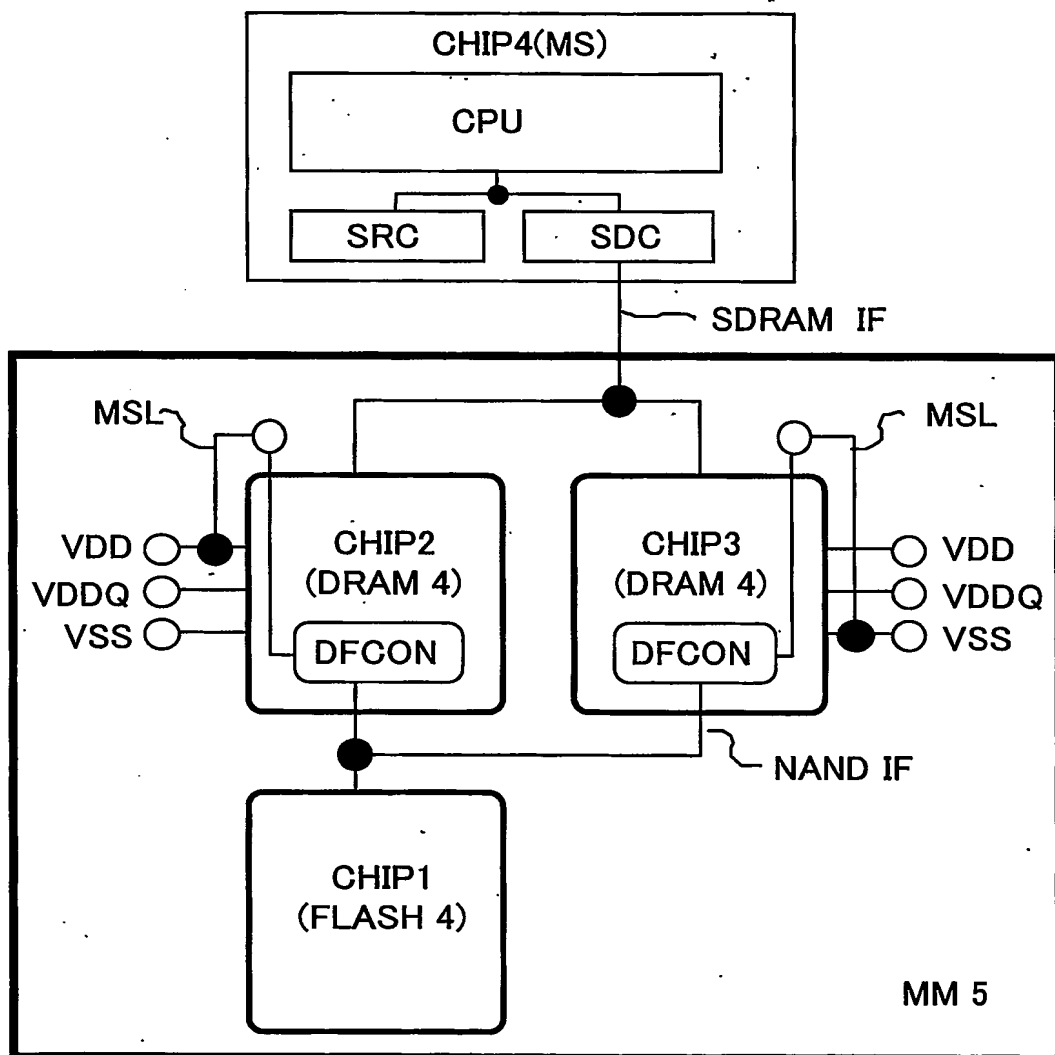
23 / 32

図 23



24 / 32

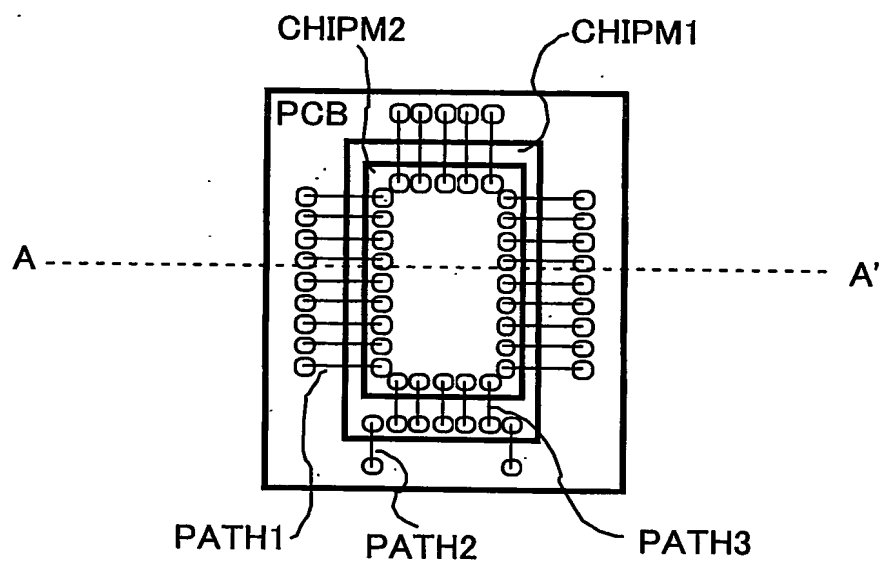
図 24



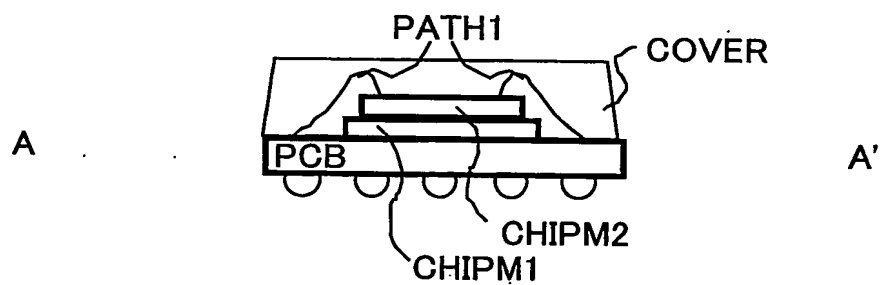
25 / 32

図 25

(A)

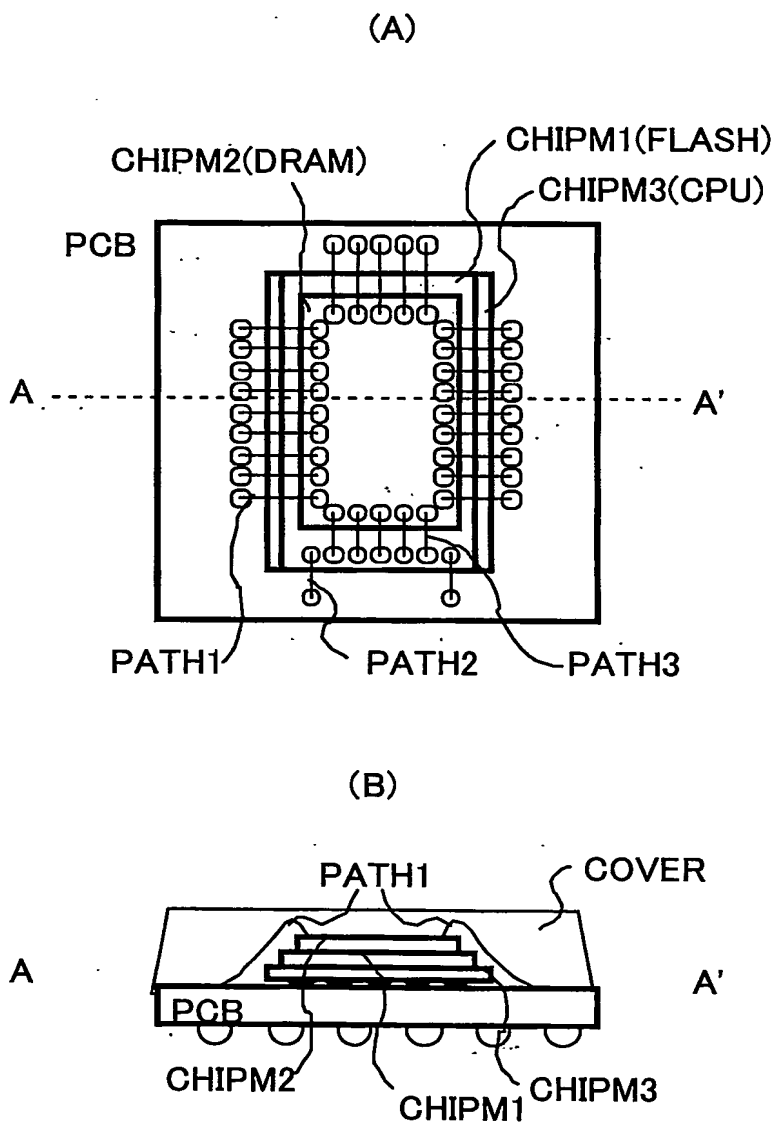


(B)



26 / 32

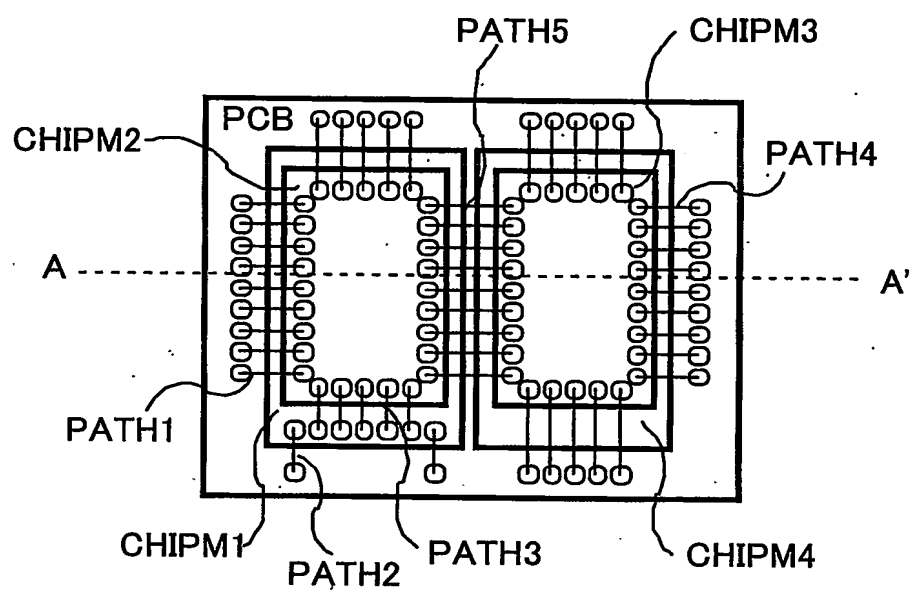
図 26



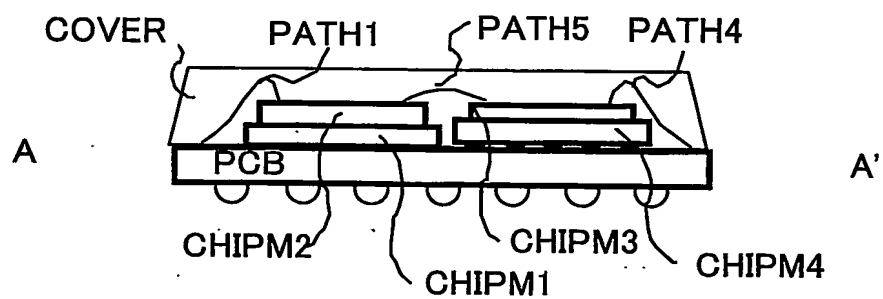
27 / 32

図 27

(A)



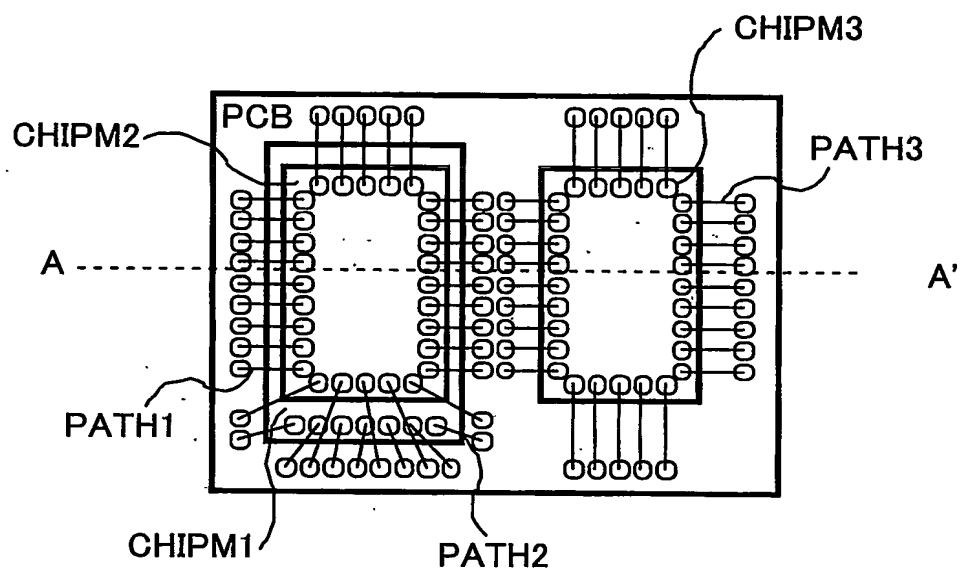
(B)



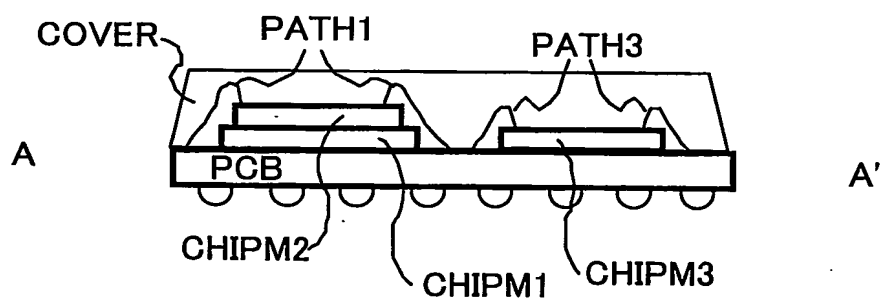
28 / 32

図 28

(A)

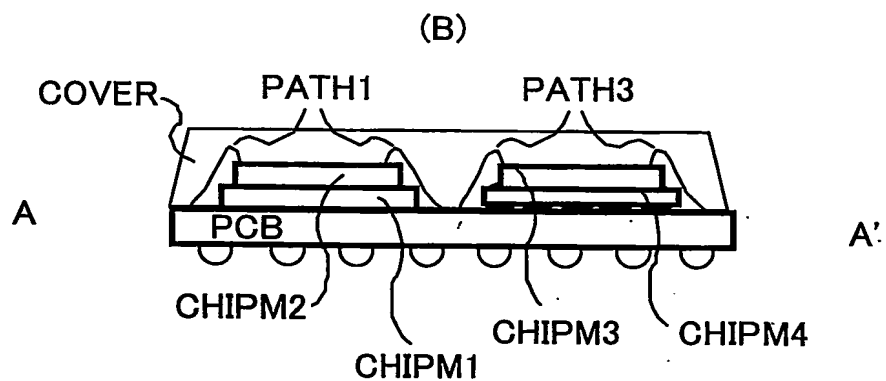
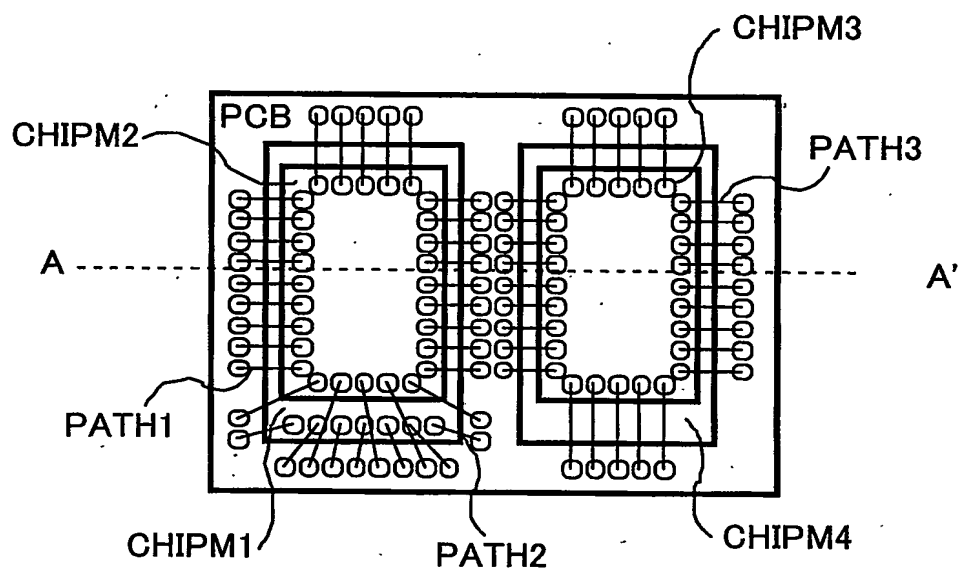


(B)



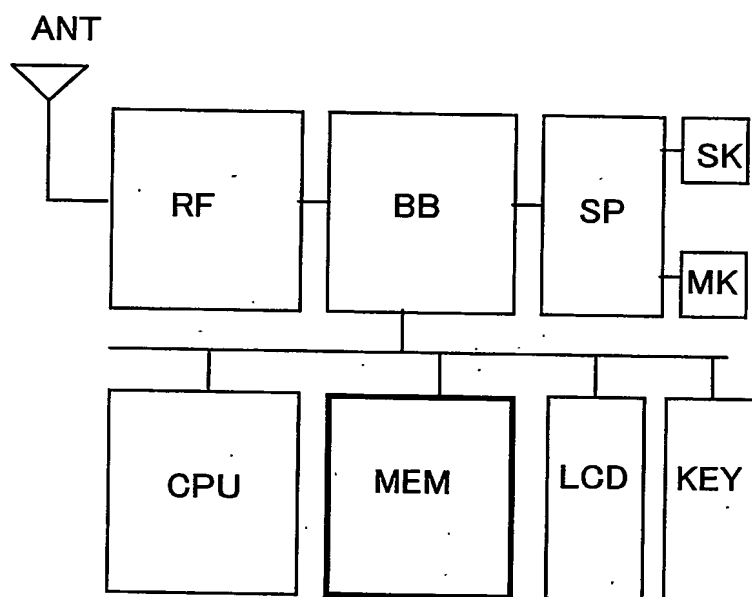
29 / 32

図 29



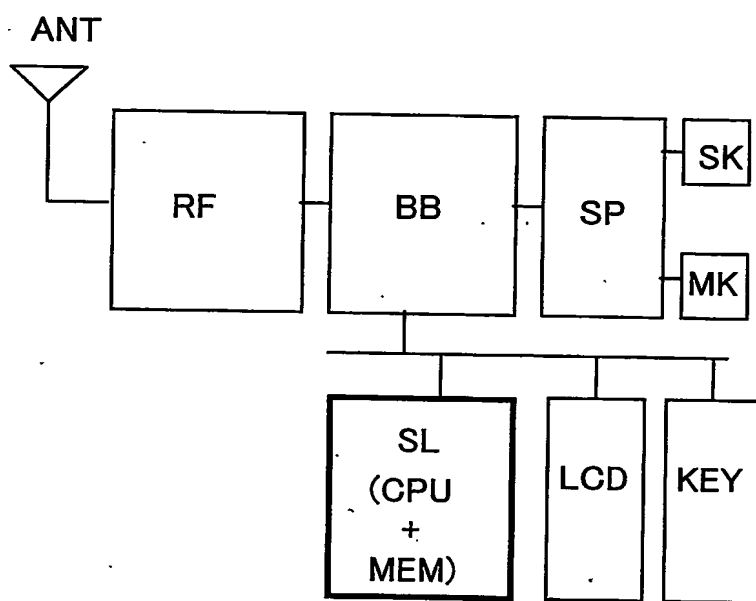
30 / 32

図 30



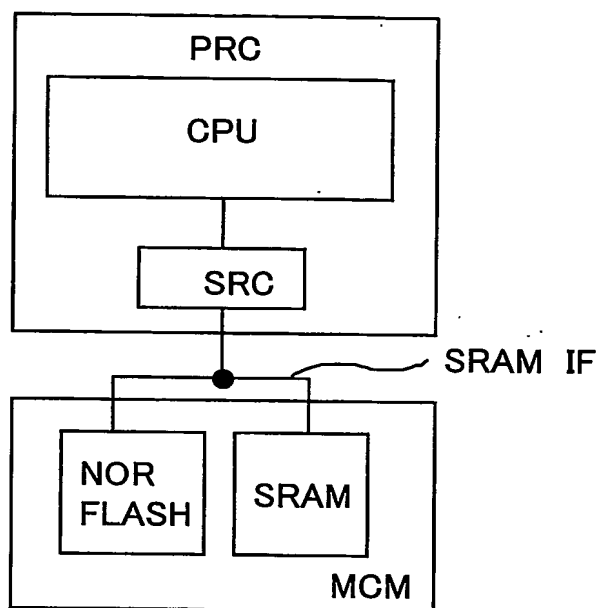
3 1 / 3 2

図 31



3 2 / 3 2

図 32



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP03/15165

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl.⁷ G06F12/06, G11C11/34, 11/401, 16/00, H01L27/10

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl.⁷ G06F12/06, G11C11/34, 11/401, 16/00, H01L27/10

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Toroku Jitsuyo Shinan Koho	1994-2004
Kokai Jitsuyo Shinan Koho	1971-2004	Jitsuyo Shinan Toroku Koho	1996-2004

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2001-344967 A (Hitachi, Ltd.), 14 December, 2001 (14.12.01), Full text; all drawings & US 2001/0046167 A1 & KR 2001/107538 A & US 2001/0048616 A1 & US 6411561 B1 & US 2002/0131318 A1	1, 10, 12, 13, 16, 17, 21-24, 27-33, 36-42, 50, 52, 53, 55-57, 59-64, 68, 70, 73-78
P, Y	JP 2002-366429 A (Hitachi, Ltd.), 20 December, 2002 (20.12.02), Full text; all drawings & US 2002/0185337 A1 & KR 2002/095109 A & CN 1391166 A	1-24, 27-64, 67-78

☒ Further documents are listed in the continuation of Box C.☐ See patent family annex.

* Special categories of cited documents:
 "A" document defining the general state of the art which is not considered to be of particular relevance
 "E" earlier document but published on or after the international filing date
 "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
 "O" document referring to an oral disclosure, use, exhibition or other means
 "P" document published prior to the international filing date but later than the priority date claimed

"I" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
 "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
 "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
 "&" document member of the same patent family

Date of the actual completion of the international search
16 March, 2004 (16.03.04)Date of mailing of the international search report
30 March, 2004 (30.03.04)Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP03/15165

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
P, Y	JP 2003-6041 A (Hitachi, Ltd., Hitachi ULSI Systems Co., Ltd.), 10 January, 2003 (10.01.03), Full text; all drawings & US 2002/0199056 A1 & KR 2003/011231 A	1, 10, 12, 13, 16, 17, 21-24, 27-33, 36-42, 50, 52, 53, 55-57, 59-64, 68, 70, 73-78
Y	WO 1998/025213 A1 (Hitachi, Ltd.), 11 June, 1998 (11.06.98), Full text; all drawings & AU 1040497 A	1-24, 27-64, 67-78
Y	WO 1998/025271 A1 (Hitachi, Ltd.), 11 June, 1998 (11.06.98), Full text; all drawings & AU 1040297 A	1-24, 27-64, 67-64
Y	JP 2001-510612 A (Intel Corp.), 31 July, 2001 (31.07.01), Full text; all drawings & WO 1998/029816 A1 & AU 9747542 A & EP 974097 A1 & TW 399172 A & KR 2000/069796 A & US 6418506 B1	21-24, 27-30, 37, 38, 40, 41, 61-64
A	JP 2001-357684 A (Sharp Corp.), 26 December, 2001 (26.12.01), Full text; all drawings & EP 1164594 A1 & US 2001/0053090 A1 & KR 2001/111636 A & US 6522581 B2 & KR 395732 B	1-78
P, A	JP 2003-15954 A (Sharp Corp.), 17 January, 2003 (17.01.03), Full text; all drawings & EP 1271540 A2 & EP 1271540 A3 & US 2003/0002377 A1 & KR 2003/003092 A	1-78
A	JP 2002-251884 A (Toshiba Corp.), 06 September, 2002 (06.09.02), Full text; all drawings & US 2002/0114178 A1 & US 6594169 B2	1-78
A	JP 6-215589 A (Hitachi, Ltd.), 05 August, 1994 (05.08.94), Full text; all drawings (Family: none)	1-78
A	JP 8-305680 A (Matsushita Electric Industrial Co., Ltd.), 22 November, 1996 (22.11.96), Full text; all drawings (Family: none)	1-78

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP03/15165

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2001-5723 A (Mitsubishi Electric Corp.), 12 January, 2001 (12.01.01), Full text; all drawings (Family: none)	1-78
A	JP 5-299616 A (Hitachi, Ltd.), 12 November, 1993 (12.11.93), Full text; all drawings & EP 566306 A2	1-78
A	JP 8-167703 A (Matsushita Electric Industrial Co., Ltd.), 25 June, 1996 (25.06.96), Full text; all drawings & EP 707316 A2 & CN 1127428 A & US 5838603 A & TW 362279 A & US 6064585 A & KR 268961 B1 & US 6313493 B1 & EP 707316 B1 & DE 69525808 E & EP 1154434 A1 & JP 2003-282813 A	1-78
A	JP 2000-339954 A (Fujitsu Ltd.), 08 December, 2000 (08.12.00), Full text; all drawings & US 6292426 B1 & US 2002/0006071 A1	1-78

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl. G06F12/06, G11C11/34, 11/401, 16/00, H01L27/10

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl. G06F12/06, G11C11/34, 11/401, 16/00, H01L27/10

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1922-1996年

日本国公開実用新案公報 1971-2004年

日本国登録実用新案公報 1994-2004年

日本国実用新案登録公報 1996-2004年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	JP 2001-344967 A(株式会社日立製作所) 2001. 12. 14, 全文, 全図 & US 2001/0046167 A1 & KR 2001/107538 A & US 2001/0048616 A1 & US 6411561 B1 & US 2002/0131318 A1	1, 10, 12, 13, 16, 17, 21-24, 27-33, 36-42, 50, 52, 53, 55- 57, 59-64, 68, 70, 73-78
P, Y	JP 2002-366429 A(株式会社日立製作所) 2002. 12. 20, 全文, 全図 & US 2002/0185337 A1 & KR 2002/095109 A & CN 1391166 A	1-24, 27-64, 67-78

☒ C欄の続きにも文献が列举されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的な技術水準を示すもの

「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」 口頭による開示、使用、展示等に言及する文献

「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」 同一パテントファミリー文献

国際調査を完了した日

16. 03. 2004

国際調査報告の発送日

30. 3. 2004

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

堀田 和義

5N

8840

電話番号 03-3581-1101 内線 6840

C (続き) 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
P, Y	JP 2003-6041 A(株式会社日立製作所, 株式会社日立超エル・エス・ アイ・システムズ) 2003. 01. 10, 全文, 全図 & US 2002/0199056 A1 & KR 2003/011231 A	1, 10, 12, 13, 16, 17, 21-24, 27-33, 36-42, 50, 52, 53, 55- 57, 59-64, 68, 70, 73-78 1-24, 27-64, 67-78
Y	WO 1998/025213 A1(株式会社日立製作所) 1998. 06. 11, 全文, 全図 & AU 1040497 A	1-24, 27-64, 67-78
Y	WO 1998/025271 A1(株式会社日立製作所) 1998. 06. 11, 全文, 全図 & AU 1040297 A	1-24, 27-64, 67-78
Y	JP 2001-510612 A(インテル・コーポレーション) 2001. 07. 31, 全文, 全図 & WO 1998/029816 A1 & AU 9747542 A & EP 974097 A1 & TW 399172 A & KR 2000/069796 A & US 6418506 B1	21-24, 27-30, 37, 38, 40, 41, 61-64
A	JP 2001-357684 A(シャープ株式会社) 2001. 12. 26, 全文, 全図 & EP 1164594 A1 & US 2001/0053090 A1 & KR 2001/111636 A & US 6522581 B2 & KR 395732 B	1-78
P, A	JP 2003-15954 A(シャープ株式会社) 2003. 01. 17, 全文, 全図 & EP 1271540 A2 & EP 1271540 A3 & US 2003/0002377 A1 & KR 2003/003092 A	1-78
A	JP 2002-251884 A(株式会社東芝) 2002. 09. 06, 全文, 全図 & US 2002/0114178 A1 & US 6594169 B2	1-78
A	JP 6-215589 A(株式会社日立製作所) 1994. 08. 05, 全文, 全図(ファミリーなし)	1-78
A	JP 8-305680 A(松下電器産業株式会社) 1996. 11. 22, 全文, 全図(ファミリーなし)	1-78
A	JP 2001-5723 A(三菱電機株式会社) 2001. 01. 12, 全文, 全図(ファミリーなし)	1-78
A	JP 5-299616 A(株式会社日立製作所) 1993. 11. 12, 全文, 全図 & EP 566306 A2	1-78

C (続き) 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP 8-167703 A(松下電器産業株式会社) 1996. 06. 25, 全文, 全図 & EP 707316 A2 & CN 1127428 A & US 5838603 A & TW 362279 A & US 6064585 A & KR 268961 B1 & US 6313493 B1 & EP 707316 B1 & DE 69525808 E & EP 1154434 A1 & JP 2003-282813 A	1-78
A	JP 2000-339954 A(富士通株式会社) 2000. 12. 08, 全文, 全図 & US 6292426 B1 & US 2002/0006071 A1	1-78